

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

16434915

Basic Patent (No,Kind,Date): EP 1056069 A2 20001129 <No. of Patents: 006>

SHIFT REGISTER AND IMAGE DISPLAY APPARATUS USING THE SAME

(English; French; German)

Patent Assignee: SHARP KK (JP)

Author (Inventor): WASHIO HAJIME (JP); KUBOTA YASUSHI (JP); MAEDA KAZUHIRO
(JP); KAISE YASUYOSHI (JP); BROWNLOW MICHAEL J (GB); CAIRNS

GRAHAMA (GB)

Designated States : (National) DE; GB

IPC: *G09G-003/36; G11C-019/28

Derwent WPI Acc No: *G 01-336807; G 01-336807

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
EP 1056069	A2	20001129	EP 2000111192	A	20000524	(BASIC)
EP 1056069	A3	20010912	EP 2000111192	A	20000524	
JP 2000339984	A2	20001208	JP 99150682	A	19990528	
JP 3473745	B2	20031208	JP 99150682	A	19990528	
US 20030174115	AA	20030918	US 578440	A	20000525	
TW 480822	B	20020321	TW 89109593	A	20000518	

Priority Data (No,Kind,Date):

JP 99150682 A 19990528

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06754119 **Image available**

SHIFT REGISTER AND IMAGE DISPLAY USING THE SAME

PUB. NO.: **2000-339984** [JP 2000339984 A]

PUBLISHED: December 08, 2000 (20001208)

INVENTOR(s): WASHIO HAJIME

KUBOTA YASUSHI

MAEDA KAZUHIRO

KAIZE YASUYOSHI

MICHAEL JAMES BROWNLOW

CAIRNS GRAHAM ANDREW

APPLICANT(s): SHARP CORP

APPL. NO.: 11-150682 [JP 99150682]

FILED: May 28, 1999 (19990528)

INTL CLASS: G11C-019/00; G09G-003/20

ABSTRACT

PROBLEM TO BE SOLVED: To achieve a shift register that normally operates even when the amplitude of a clock signal is small, and at the same time has less power consumption.

SOLUTION: For each SR flip-flop F1 for composing a shift register 11, a level shifter 13 for boosting a clock signal CK is provided, thus the transmission distance of the boosted clock signal and the load capacity of the level shifter 13 are reduced as compared with a case where the clock signal is boosted by only one level shifter for transmitting to each flip-flop. Each level shifter 13 operates while the level shifter 13 at the previous stage outputs a pulse, and stops the operation when the pulse output is completed, thus each level shifter 13 operates only when the clock signal CK is required to be supplied to the corresponding SR flip-flop F1, and as a result the power consumption of the shift register that normally operates even when the amplitude of the clock signal is small can be reduced.

【特許請求の範囲】

【請求項 1】クロック信号に同期して動作する複数段のフリップフロップと、

上記フリップフロップの駆動電圧よりも振幅が小さなクロック信号を昇圧して上記各フリップフロップへ印加するレベルシフタとを有し、上記クロック信号に同期して入力パルスを伝送するシフトレジスタにおいて、上記各フリップフロップは、少なくとも 1 つのフリップフロップからなる複数のブロックに分けられ、
上記レベルシフタは、当該各ブロック毎に設けられていると共に、

上記複数のレベルシフタのうち、その時点で上記入力パルスの伝送に上記クロック信号の入力を必要としないブロックに対応するレベルシフタの少なくとも 1 つは停止することを特徴とするシフトレジスタ。

【請求項 2】上記各レベルシフタは、対応するブロック中に、その時点でクロック信号の入力を必要としているフリップフロップが含まれている期間にのみ動作することを特徴とする請求項 1 記載のシフトレジスタ。

【請求項 3】上記ブロックのうちの特定ブロックは、上記フリップフロップとして、上記クロック信号に応じてセットされるセット・リセット・フリップフロップを含んでいると共に、

上記特定ブロックに対応する特定レベルシフタは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがセットされた後に動作を停止することを特徴とする請求項 1 または 2 記載のシフトレジスタ。

【請求項 4】上記特定ブロック内の上記フリップフロップは、1 つであり、

上記特定レベルシフタは、上記特定ブロックへのパルス入力開始された時点で動作を開始し、パルス入力終了した時点で動作を停止することを特徴とする請求項 3 記載のシフトレジスタ。

【請求項 5】上記特定ブロック内の上記フリップフロップは、複数であり、

上記特定レベルシフタは、上記特定ブロックへパルス入力されている間、および、当該特定ブロック内の最終段を除くフリップフロップのいずれかがパルス出力している間に動作することを特徴とする請求項 3 記載のシフトレジスタ。

【請求項 6】上記特定ブロック内の上記フリップフロップは、複数であり、

上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいることを特徴とする請求項 3 記載のシフトレジスタ。

【請求項 7】上記ブロックのうちの特定ブロックは、上記フリップフロップとして、D フリップフロップを含ん

でいると共に、

上記特定ブロックに対応する特定レベルシフタは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがパルス出力を終了した後に、動作を停止することを特徴とする請求項 1 または 2 記載のシフトレジスタ。

【請求項 8】上記特定ブロック内の上記フリップフロップは、複数であり、

上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいることを特徴とする請求項 7 記載のシフトレジスタ。

【請求項 9】上記レベルシフタは、動作中、上記クロック信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいることを特徴とする請求項 1、2、3、4、5、6、7 または 8 記載のシフトレジスタ。

【請求項 10】上記レベルシフタは、上記レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフタを停止させる入力信号制御部を備えていることを特徴とする請求項 9 記載のシフトレジスタ。

【請求項 11】上記レベルシフタは、上記レベルシフト部への電力供給を停止して、当該レベルシフタを停止させる電力供給制御部を備えていることを特徴とする請求項 9 記載のシフトレジスタ。

【請求項 12】上記各レベルシフタは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えていることを特徴とする請求項 1、2、3、4、5、6、7、8、9、10 または 11 記載のシフトレジスタ。

【請求項 13】上記レベルシフタには、上記クロック信号が伝送されるクロック信号線と、上記レベルシフト部との間に配され、当該レベルシフタが停止している間、開放されるスイッチが設けられていることを特徴とする請求項 12 記載のシフトレジスタ。

【請求項 14】マトリクス状に配された複数の画素と、上記各画素の各行に配置された複数のデータ信号線と、上記各画素の各列に配置された複数の走査信号線と、

予め定められた周期の第 1 クロック信号に同期して、互いに異なるタイミングの走査信号を上記各走査信号線へ順次与える走査信号線駆動回路と、

予め定められた周期の第 2 クロック信号に同期して順次与えられ、かつ、上記各画素の表示状態を示す映像信号から、上記走査信号が与えられた走査信号線の各画素へのデータ信号を抽出して、上記各データ信号線へ出力するデータ信号線駆動回路とを有する画像表示装置において、

上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上記第 1 あるいは第 2 クロック信号

を上記クロック信号とする請求項 1、2、3、4、5、6、7、8、9、10、11、12 または 13 記載のシフトレジスタを備えていることを特徴とする画像表示装置。

【請求項 15】上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されていることを特徴とする請求項 14 記載の画像表示装置。

【請求項 16】上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいることを特徴とする請求項 14 または 15 記載の画像表示装置。

【請求項 17】上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600 度以下のプロセス温度で製造されたスイッチング素子を含んでいることを特徴とする請求項 14、15 または 16 記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、画像表示装置の駆動回路などに好適に使用され、クロック信号の振幅が駆動電圧よりも低い場合でも入力パルスをシフト可能なシフトレジスタ、および、それを用いた画像表示装置に関するものである。

【0002】

【従来の技術】例えば、画像表示装置のデータ信号線駆動回路や走査信号線駆動回路では、各データ信号を映像信号からサンプリングする際のタイミングを取ったり、各走査信号線へ与える走査信号を作成したりするために、シフトレジスタが広く使用されている。

【0003】一方、電子回路の消費電力は、周波数と、負荷容量と、電圧の 2 乗とに比例して大きくなる。したがって、例えば、画像表示装置への映像信号を生成する回路など、画像表示装置に接続される回路、あるいは、画像表示装置では、消費電力を低減するため、駆動電圧が益々低く設定される傾向にある。

【0004】例えば、画素や、データ信号線駆動回路、あるいは走査信号線駆動回路のように、広い表示面積を確保するために多結晶シリコン薄膜トランジスタが使用される回路では、基板間あるいは同一基板内においても、しきい値電圧の相違が、例えば、数 [V] 程度に達することもあるため、駆動電圧の低減が十分に進んでいるとは言いが、例えば、上記映像信号の生成回路のように、単結晶シリコントランジスタを用いた回路では、駆動電圧は、例えば、5 [V] や 3.3 [V]、あるいは、それ以下の値に設定されていることが多い。したがって、シフトレジスタの駆動電圧よりも低いクロック信号が印加される場合、シフトレジスタには、クロック信号を昇圧するレベルシフトが設けられる。

【0005】具体的には、例えば、図 39 に示すよう

に、上記従来のシフトレジスタ 101 へ、例えば、5

【V】程度の振幅のクロック信号 CK が与えられると、レベルシフト 103 は、シフトレジスタ 101 の駆動電圧 (15 [V]) まで、クロック信号 CK を昇圧する。昇圧後のクロック信号 CK は、各フリップフロップ F₁ ~ F_n へ印加され、シフトレジスタ部 102 は、当該クロック信号 CK に同期して開始信号 SP をシフトする。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来のシフトレジスタ 101 では、クロック信号 CK をレベルシフトした後、各フリップフロップ F₁ ~ F_n へ伝送しているため、フリップフロップ F₁ ~ F_n の両端間の距離が離れる程、伝送距離が長くなり、消費電力が増大するという問題を生ずる。

【0007】具体的には、伝送距離が長くなるに従って、伝送用の信号線の容量が大きくなるので、レベルシフト 103 に、より大きな駆動能力が必要となり、消費電力が増大する。さらに、多結晶シリコン薄膜トランジスタを用いて、レベルシフト 103 を含む上記駆動回路が形成される場合のように、レベルシフト 103 の駆動能力が十分ではない場合には、歪みのない波形を伝送するため、図中、破線で示すように、レベルシフト 103 と各フリップフロップ F₁ ~ F_n との間にバッファ 104 を設ける必要があるため、さらに多くの消費電力が必要になる。

【0008】近年では、より表示画面が広く、かつ、高解像な画像表示装置が要求されているため、シフトレジスタ部 102 の段数が益々増加する傾向にある。したがって、フリップフロップ F₁ ~ F_n の両端間の距離が増大しても消費電力の少ないシフトレジスタ、および、画像表示装置が強く求められている。

【0009】本発明は、上記の問題点を鑑みてなされたものであり、その目的は、クロック信号の振幅が駆動電圧よりも低い場合でも正常に動作し、かつ、消費電力の少ないシフトレジスタ、および、それを用いた画像表示装置を実現することにある。

【0010】

【課題を解決するための手段】本発明に係るシフトレジスタは、上記課題を解決するために、クロック信号に同期して動作する複数段のフリップフロップと、上記フリップフロップの駆動電圧よりも振幅が小さなクロック信号を昇圧して上記各フリップフロップへ印加するレベルシフトとを有し、上記クロック信号に同期して入力パルスを伝送するシフトレジスタにおいて、以下の手段を講じたことを特徴としている。

【0011】すなわち、上記各フリップフロップは、少なくとも 1 つのフリップフロップからなる複数のブロックに分けられ、上記レベルシフトは、当該各ブロック毎に設けられていると共に、上記複数のレベルシフトのうち、その時点で上記入力パルスの伝送に上記クロック信

号の入力を必要としないブロックに対応するレベルシフトの少なくとも1つは停止する。

【0012】なお、各ブロックが入力パルスの伝送にクロック信号を必要とするか否かは、シフトレジスタを構成するフリップフロップによって決定される。例えば、上記フリップフロップとして、クロック信号に応じてセットされるセット・リセット・フリップフロップが使用される場合、ブロックは、当該ブロックへパルスが入力されてから、最終段のフリップフロップがセットされるまでの間、クロック信号を必要とし、フリップフロップがDフリップフロップの場合は、当該ブロックへパルスが入力されてから、最終段のフリップフロップがパルス出力を終了するまでの間、クロック信号を必要とする。なお、いずれの場合であっても、各ブロックに含まれるフリップフロップが1つで、各フリップフロップ毎にレベルシフトが設けられていてもよいし、複数のフリップフロップ毎にレベルシフトが設けられていてもよい。

【0013】上記構成において、クロック信号は、複数のレベルシフトのいずれかで昇圧された後、当該レベルシフトに対応するブロック内のフリップフロップへ印加され、入力パルスは、昇圧後のクロック信号に同期して、順次伝送される。さらに、各レベルシフトのうち、クロック信号を出力する必要のないレベルシフトの少なくとも1つは、動作を停止する。

【0014】ここで、クロック信号を必要としないブロックとしては、例えば、入力パルスを伝送していないブロックが挙げられる。また、入力パルスを伝送しているブロックであっても、例えば、フリップフロップがクロック信号に応じてセットされ、より後段のフリップフロップの出力に応じてリセットされるセット・リセット・フリップフロップの場合には、最終段のフリップフロップがセットされた後の期間は、クロック信号を必要としない。

【0015】上記構成では、シフトレジスタに複数のレベルシフトが設けられているので、唯一のレベルシフトが全てのフリップフロップへレベルシフト後のクロック信号を印加する場合に比べて、レベルシフトからフリップフロップへの距離を短縮できる。この結果、レベルシフト後のクロック信号の伝送距離を短縮できるので、レベルシフトの負荷容量を削減でき、レベルシフトに必要な駆動能力を抑制できる。これにより、例えば、レベルシフトの駆動能力が小さく、かつ、フリップフロップの両端間の距離が長い場合であっても、レベルシフトからフリップフロップまでの間にバッファを設ける必要がなくなり、シフトレジスタの消費電力を削減できる。加えて、複数のレベルシフトのうち、少なくとも1つは、動作を停止しているため、全てのレベルシフトが同時に動作する場合に比べて、シフトレジスタの消費電力を削減できる。これらの結果、低電圧のクロック信号入力で作

きる。

【0016】さらに、上記構成のシフトレジスタでは、上記各レベルシフトは、対応するブロック中に、その時点でクロック信号の入力を必要としているフリップフロップが含まれている期間にのみ動作する方が好ましい。

【0017】当該構成によれば、入力パルスの伝送に必要なレベルシフトのみが動作するので、他のレベルシフトが動作する場合に比べて、シフトレジスタの消費電力を大幅に削減できる。

10 【0018】また、上記各構成のシフトレジスタにおいて、上記ブロックのうちの特定ブロックは、上記フリップフロップとして、上記クロック信号に応じてセットされるセット・リセット・フリップフロップを含んでおり、共に、上記特定ブロックに対応する特定レベルシフトは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがセットされた後に動作を停止してもよい。

20 【0019】当該構成によれば、特定レベルシフトは、特定ブロックのセット・リセット・フリップフロップが動作する際に必要な期間に、レベルシフト後のクロック信号を供給し、セット・リセット・フリップフロップへのクロック信号の入力が不要な場合には、動作を停止する。この結果、上記フリップフロップとして、セット・リセット・フリップフロップを含み、Dフリップフロップの場合よりも高速で動作可能なレベルシフトにおいて、消費電力を削減できる。

30 【0020】さらに、上記構成のシフトレジスタにおいて、上記特定ブロック内の上記フリップフロップ（セット・リセット・フリップフロップ）が1つの場合には、上記特定レベルシフトは、上記特定ブロックへのパルス入力開始された時点で動作を開始し、パルス入力終了した時点で動作を停止してもよい。

【0021】当該構成によれば、特定ブロックが最前段の場合は、入力パルスを、それ以外の場合は、前段のフリップフロップの出力を用いて、特定レベルシフトの動作/停止を制御できる。この結果、特定レベルシフトが動作する期間を判定する回路を他に設ける必要がなく、シフトレジスタの構成を簡略化できる。

40 【0022】一方、上記構成のシフトレジスタにおいて、特定ブロック内の上記フリップフロップが複数の場合、上記特定レベルシフトは、上記特定ブロックへパルス入力されている間、および、当該特定ブロック内の最終段を除くフリップフロップのいずれかがパルス出力している間に動作することができる。

50 【0023】当該構成によれば、特定ブロックへの入力および特定ブロック内のフリップフロップの出力に基づいて、特定レベルシフトの動作/停止を制御できる。なお、動作期間は、例えば、上記各パルス信号を論理和するなどすれば算出でき、例えば、クロック数を数えるカウンタなどを用いて、フリップフロップの入出力を使用

せずに動作期間を算出する場合に比べて、簡単な回路で動作期間を算出できる。この結果、簡単に動作速度の速いシフトレジスタを実現できる。

【 0 0 2 4 】 また、上記構成のシフトレジスタにおいて、上記特定ブロック内の上記フリップフロップが複数の場合、上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいてもよい。

【 0 0 2 5 】 当該構成において、特定ブロックへ信号が入力されると、上記ラッチ回路は、出力を変化させ、特定レベルシフタは、ラッチ回路の出力に基づいて動作を開始する。その後、ラッチ回路は、最終段のフリップフロップが信号を出力するまで、出力を保持する。これにより、特定ブロックを信号が伝送されている間、特定レベルシフタは、動作しつづける。さらに、最終段のフリップフロップが信号を出力すると、上記ラッチ回路は、出力を変化させ、特定レベルシフタは、動作を停止する。なお、シフトレジスタは、信号を伝送するので、特定レベルシフタの動作／停止のトリガとなる信号、すなわち、特定ブロックへの入力信号と、最終段のフリップフロップの出力信号とを監視していれば、特定レベルシフタの動作期間を正しく識別できる。

【 0 0 2 6 】 上記構成によれば、特定レベルシフタの動作／停止のトリガとなる 2 つの信号に基づいて、ラッチ回路の出力が変化し、特定レベルシフタの動作／停止が制御される。したがって、各フリップフロップの出力信号に基づいて動作／停止を制御する場合とは異なり、特定ブロック内のフリップフロップ数が増加しても、動作期間を判定する回路の回路構成が複雑にならない。この結果、フリップフロップ数が多い場合でも簡単な回路構成のシフトレジスタを実現できる。

【 0 0 2 7 】 一方、本発明は、フリップフロップとしてセット・リセット・フリップフロップを含む場合に限らず、上記ブロックのうちの特定ブロックが上記フリップフロップとして D フリップフロップを含む場合にも適用できる。この場合、上記特定ブロックに対応する特定レベルシフタは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがパルス出力を終了した後に、動作を停止する方が好ましい。

【 0 0 2 8 】 当該構成によれば、特定ブロックは、フリップフロップとして、D フリップフロップを含んでいるので、セット・リセット・フリップフロップの場合とは異なり、入力パルスのパルス幅（クロック数）が変化する場合であっても、何ら支障なく、入力パルスを伝送できる。また、上記構成によれば、特定レベルシフタは、特定ブロックの D フリップフロップが動作する際に必要な期間に、レベルシフト後のクロック信号を供給し、D フリップフロップへのクロック信号の入力が不要な場合

には、動作を停止する。この結果、互いに異なるパルス幅の入力パルスを伝送可能で、かつ、消費電力の少ないシフトレジスタを実現できる。

【 0 0 2 9 】 加えて、特定ブロックへパルス入力されてから、最終段のフリップフロップがパルス出力するまでの期間は、例えば、特定ブロックへ入力されるパルス信号と、各段のフリップフロップの出力信号との論理和を算出したり、トリガとなる信号をラッチするなどすれば算出できる。したがって、この場合、フリップフロップの入出力とは別に動作期間を算出するときよりも、シフトレジスタの回路構成を簡略化できる。

【 0 0 3 0 】 また、上記構成のシフトレジスタにおいて、上記特定ブロック内の上記フリップフロップが複数の場合、上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいてもよい。

【 0 0 3 1 】 上記構成によれば、上述のセット・リセット・フリップフロップの場合と同様に、特定レベルシフタの動作／停止のトリガとなる 2 つの信号に基づいて、ラッチ回路の出力が変化し、特定レベルシフタの動作／停止が制御される。したがって、各フリップフロップの出力信号に基づいて動作／停止を制御する場合とは異なり、特定ブロック内のフリップフロップ数が増加しても、動作期間を判定する回路の回路構成が複雑にならない。この結果、フリップフロップ数が多い場合でもシフトレジスタの回路構成を簡略化できる。

【 0 0 3 2 】 さらに、上記構成のシフトレジスタにおいて、上記レベルシフタは、動作中、上記クロック信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいてもよい。

【 0 0 3 3 】 当該構成によれば、レベルシフタが動作している間、レベルシフタの入力スイッチング素子は、常時導通している。したがって、クロック信号のレベルによって入力スイッチング素子を導通／遮断する電圧駆動型のレベルシフタとは異なり、クロック信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合であっても、何ら支障なく、クロック信号をレベルシフトできる。

【 0 0 3 4 】 さらに、電流駆動型のレベルシフタは、動作中、入力スイッチング素子が導通しているため、電圧駆動型のレベルシフタよりも消費電力が大きい、複数のレベルシフタのうち、少なくとも 1 つが動作を停止している。これにより、クロック信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合でもレベルシフト可能で、かつ、全てのレベルシフタが同時に動作する場合よりも消費電力が少ないシフトレジスタを実現できる。

【 0 0 3 5 】 また、上記構成のシフトレジスタにおいて、上記レベルシフト部への入力信号として、上記入力

スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフトを停止させる入力信号制御部が設けられていてもよい。

【0036】当該構成によれば、一例として、入力スイッチング素子がMOSトランジスタの場合を例にして説明すると、例えば、入力信号がゲートへ印加される場合は、ドレインソース間が遮断されるレベルの入力信号をゲートへ印加すれば、入力スイッチング素子が遮断される。また、入力信号がソースへ印加される場合には、例えば、ドレインと略同じ入力信号を印加するなどして、入力スイッチング素子を遮断する。

【0037】いずれの構成であっても、入力信号制御部が入力信号のレベルを制御して、入力スイッチング素子を遮断すれば、電流駆動型のレベルシフトは、動作を停止する。これにより、入力信号制御部は、レベルシフトを停止できると共に、停止中は、動作中に入力スイッチング素子へ流れる電流の分だけ、消費電力を低減できる。

【0038】一方、上記各構成のシフトレジスタは、上記レベルシフト部への電力供給を停止して、当該レベルシフトを停止させる電力供給制御部を備えていてもよい。

【0039】当該構成によれば、電力供給制御部は、各レベルシフト部への電力供給を停止して、当該レベルシフトを停止させる。これにより、電力供給制御部は、レベルシフトを停止できると共に、動作停止中は、動作中にレベルシフトで消費する電力の分だけ、消費電力を低減できる。

【0040】ところで、レベルシフトが動作を停止している間、レベルシフトの出力電圧が不定となると、当該レベルシフトに接続されているフリップフロップの動作が不安定になる虞れがある。

【0041】したがって、上記各構成のシフトレジスタにおいて、上記レベルシフトは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えている方が好ましい。

【0042】当該構成によれば、レベルシフトが停止している間、当該レベルシフトの出力電圧は、出力安定手段によって所定の値に保たれる。この結果、不定な出力電圧に起因するフリップフロップの誤動作を防止でき、より安定したシフトレジスタを実現できる。

【0043】さらに、上記各構成のシフトレジスタには、上記クロック信号が伝送されるクロック信号線と、上記レベルシフト部との間に配され、当該レベルシフトが停止している間、開放されるスイッチが設けられている方が好ましい。なお、当該スイッチは、上記入力信号制御部の一部としても実現できる。

【0044】上記構成では、クロック信号線に全てのレベルシフトが常時接続され、全レベルシフト部の入力スイッチング素子がクロック信号線の負荷となる場合とは

異なり、クロック信号線へ接続される入力スイッチング素子は、動作中のレベルシフトのものに限定される。また、停止中、上記スイッチが開放され、レベルシフトの入力が不定となっても、上記出力安定手段によって、レベルシフトの出力が所定の値に保たれるので、フリップフロップが誤動作しない。この結果、クロック信号線の負荷容量を削減でき、クロック信号線を駆動する回路の消費電力を削減できる。

【0045】一方、本発明に係る画像表示装置は、上記課題を解決するために、マトリクス状に配された複数の画素と、上記各画素の各行に配置された複数のデータ信号線と、上記各画素の各列に配置された複数の走査信号線と、予め定められた周期の第1クロック信号に同期して、互いに異なるタイミングの走査信号を上記各走査信号線へ順次与える走査信号線駆動回路と、予め定められた周期の第2クロック信号に同期して順次与えられ、かつ、上記各画素の表示状態を示す映像信号から、上記走査信号が与えられた走査信号線の各画素へのデータ信号を抽出して、上記各データ信号線へ出力するデータ信号線駆動回路とを有する画像表示装置において、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上記第1あるいは第2クロック信号を上記クロック信号とする上述のいずれかの構成のシフトレジスタを備えていることを特徴としている。

【0046】ここで、画像表示装置では、データ信号線の数、あるいは、走査信号線の数が大きくなるに従って、各信号線毎のタイミングを生成するためのフリップフロップの数が大きくなり、フリップフロップの両端間の距離が長くなる。ところが、上記各構成のシフトレジスタは、レベルシフトの駆動能力が小さく、かつ、フリップフロップの両端間の距離が長い場合であっても、バッファを削減でき、消費電力を削減できる。

【0047】それゆえ、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方に、上記各構成のシフトレジスタを備えることによって、消費電力の少ない画像表示装置を実現できる。

【0048】さらに、上記構成の画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されている方が望ましい。

【0049】当該構成によれば、データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されており、データ信号線駆動回路と各画素との間の配線、並びに、走査信号線駆動回路と各画素との間の配線は、当該基板上に配され、基板外に出す必要がない。この結果、データ信号線の数および走査信号線の数が増加しても、基板外に出す信号線の数が変化せず、組み立て時の手間を削減できる。また、各信号線を基板外と接続するための端子を設ける必要がないため、各信号線の容量の不所望な増大を防止できると共に、集

積度の低下を防止できる。

【0050】ところで、多結晶シリコン薄膜は、単結晶シリコンに比べて、基板面積を拡大しやすい一方で、多結晶シリコントランジスタは、単結晶シリコントランジスタに比べて、例えば、移動度やしきい値などのトランジスタ特性が劣っている。したがって、単結晶シリコントランジスタを用いて各回路を製造すると、表示面積の拡大が難しく、多結晶シリコン薄膜トランジスタを用いて各回路を製造すると、各回路の駆動能力が低下してしまう。なお、両駆動回路と画素とを別の基板上に形成した場合は、各信号線で両基板間を接続する必要があり、製造時に手間がかかると共に、各信号線の容量が増大してしまう。

【0051】したがって、上述の各構成の画像表示装置では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる方が好ましい。

【0052】当該構成では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、いずれも、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいるため、表示面積を容易に拡大できる。さらに、同一基板上に容易に形成できるので、製造時の手間や各信号線の容量を削減できる。加えて、上記各構成のシフトレジスタが使用されているので、レベルシフトの駆動能力が低い場合であっても、何ら支障なく、レベルシフト後のクロック信号を各フリップフロップへ印加できる。この結果、消費電力が少なく、かつ、表示面積の広い画像表示装置を実現できる。

【0053】加えて、上述の各構成の画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいる方が望ましい。

【0054】当該構成によれば、スイッチング素子のプロセス温度が600度以下に設定されるので、各スイッチング素子の基板として、通常ガラス基板(歪み点が600度以下のガラス基板)を使用しても、歪み点以上のプロセスに起因するソリやタワミが発生しない。この結果、実装がさらに容易で、より表示面積の広い画像表示装置を実現できる。

【0055】

【発明の実施の形態】〔第1の実施形態〕本発明の一実施形態について図1ないし図7に基づいて説明すると以下の通りである。なお、本発明は、入力されるクロック信号の振幅が駆動電圧よりも小さなシフトレジスタに広く適用できるが、以下では、好適な一例として、画像表示装置に適用した場合について説明する。

【0056】すなわち、図2に示すように、本実施形態に係る画像表示装置1は、マトリクス状に配された画素PIXを有する表示部2と、各画素PIXを駆動するデータ信号線駆動回路3および走査信号線駆動回路4とを

備えており、制御回路5が各画素PIXの表示状態を示す映像信号DATを生成すると、当該映像信号DATに基づいて画像を表示できる。

【0057】上記表示部2および両駆動回路3・4は、製造時の手間と、配線容量とを削減するために、同一基板上に設けられている。また、より多くの画素PIXを集積し、表示面積を拡大するために、上記各回路2~4は、ガラス基板上に形成された多結晶シリコン薄膜トランジスタから構成されている。さらに、通常のガラス基板(歪み点が600度以下のガラス基板)を用いても、歪み点以上のプロセスに起因するソリやタワミが発生しないように、上記多結晶薄膜シリコントランジスタは、600度以下のプロセス温度で製造される。

【0058】ここで、上記表示部2は、1(エル:以下では、参照の便宜上、大文字のLを使用する)本のデータ信号線 SL_i ~ SL_L と、各データ信号線 SL_i ~ SL_L にそれぞれ交差するm本の走査信号線 GL_i ~ GL_m とを備えている。L以下の任意の正整数をi、m以下の任意の正整数をjとすると、データ信号線 SL_i と走査信号線 GL_j との組み合わせ毎に、画素 $PIX_{(i,j)}$ が設けられており、各画素 $PIX_{(i,j)}$ は、隣接する2本のデータ信号線 $SL_i \cdot SL_{i+1}$ 、および、隣接する2本の走査信号線 $GL_j \cdot GL_{j+1}$ で包囲された部分に配される。

【0059】一方、上記画素 $PIX_{(i,j)}$ は、例えば、図3に示すように、ゲートが走査信号線 GL_j へ、ドレインがデータ信号線 SL_i に接続された電界効果トランジスタ(スイッチング素子)SWと、当該電界効果トランジスタSWのソースに、一方電極が接続された画素容量 C_p とを備えている。また、画素容量 C_p の他端は、全画素PIXに共通の共通電極線に接続されている。上記画素容量 C_p は、液晶容量 C_L と、必要に応じて付加される補助容量 C_s とから構成されている。

【0060】上記画素 $PIX_{(i,j)}$ において、走査信号線 GL_j が選択されると、電界効果トランジスタSWが導通し、データ信号線 SL_i に印加された電圧が画素容量 C_p へ印加される。一方、当該走査信号線 GL_j の選択期間が終了して、電界効果トランジスタSWが遮断されている間、画素容量 C_p は、遮断時の電圧を保持し続ける。ここで、液晶の透過率あるいは反射率は、液晶容量 C_L に印加される電圧によって変化する。したがって、走査信号線 GL_j を選択し、データ信号線 SL_i へ映像データに応じた電圧を印加すれば、当該画素 $PIX_{(i,j)}$ の表示状態を、映像データを合わせて変化させることができる。

【0061】図2に示す画像表示装置1では、走査信号線駆動回路4が走査信号線 GL を選択し、選択中の走査信号線 GL とデータ信号線 SL との組み合わせに対応する画素PIXへの映像データが、データ信号線駆動回路3によって、それぞれのデータ信号線 SL へ出力され

る。これにより、当該走査信号線GLに接続された画素PIX…へ、それぞれの映像データが書き込まれる。さらに、走査信号線駆動回路4が走査信号線GLを順次選択し、データ信号線駆動回路3が各データ信号線SLへ映像データを出力する。この結果、表示部2の全画素PIXに、それぞれの映像データが書き込まれる。

【0062】ここで、上記制御回路5からデータ信号線駆動回路3までの間、各画素PIXへの映像データは、映像信号DATとして、時分割で伝送されており、データ信号線駆動回路3は、タイミング信号となる所定の周期のクロック信号CKSとスタート信号SPSとに基づいたタイミングで、映像信号DATから、各映像データを抽出している。

【0063】具体的には、上記データ信号線駆動回路3は、クロック信号CKSに同期して、開始信号SPSを順次シフトすることによって、所定の間隔ずつタイミングが異なる出力信号 $S_1 \sim S_L$ を生成するシフトレジスタ3aと、各出力信号 $S_1 \sim S_L$ が示すタイミングで、映像信号DATをサンプリングして、各データ信号線 $SL_1 \sim SL_L$ へ出力する映像データを映像信号DATから抽出するサンプリング部3bとを備えている。同様に、走査信号線駆動回路4は、クロック信号CKGに同期して、開始信号SPGを順次シフトすることによって、所定の間隔ずつタイミングが異なる走査信号を、各走査信号線 $GL_1 \sim GL_L$ へ出力するシフトレジスタ4aを備えている。

【0064】ここで、本実施形態に係る画像表示装置1では、表示部2および両駆動回路3・4が多結晶シリコン薄膜トランジスタで形成されており、これらの回路2～4の駆動電圧 V_{cc} は、例えば、15[V]程度に設定されている。一方、制御回路5は、上記各回路2～4とは異なる基板上に、単結晶シリコントランジスタで形成されており、駆動電圧は、例えば、5[V]あるいは、それ以下の電圧など、上記駆動電圧 V_{cc} よりも低い値に設定されている。なお、上記各回路2～4と、制御回路5とは、互いに異なる基板に形成されているが、両者間で伝送される信号の数は、上記各回路2～4間の信号の数よりも大幅に少なく、例えば、映像信号DATや、各開始信号SPS(SPG)あるいはクロック信号CKS(CKG)程度である。また、制御回路5は、単結晶シリコントランジスタで形成されているので十分な駆動能力を確保しやすい。したがって、互いに異なる基板上に形成しても、製造時の手間や配線容量あるいは消費電力の増加は、問題とされない程度に抑えられている。

【0065】ここで、本実施形態では、上記シフトレジスタ3a・4aの少なくとも一方は、図1に示すシフトレジスタ11が使用されている。なお、以下では、いずれのシフトレジスタとして使用する場合も含むように、上記各開始信号SPS(SPG)をSPと称し、シフトレジスタ1の段数L(m)をnで参照し、出力信号をS

$1 \sim S_n$ と称する。

【0066】具体的には、上記シフトレジスタ11には、n段のセット・リセット・フリップフロップ(SRフリップフロップ) $F1_{(1)} \dots$ を含み、上記駆動電圧 V_{cc} で動作するフリップフロップ部12と、上記制御回路5から供給され、駆動電圧 V_{cc} よりも振幅が小さなクロック信号CKを昇圧して、各SRフリップフロップ $F1_{(1)} \dots$ へ印加するレベルシフト13 $_{(1)} \dots$ を含んでいる。

【0067】本実施形態では、各レベルシフト13 $_{(1)} \dots$ は、各SRフリップフロップ $F1_{(1)} \dots$ と1対1に対応するように設けられており、後述するように、クロック信号CKの振幅が上記駆動電圧 V_{cc} よりも小さい場合でも、何ら支障なく昇圧できるように、電流駆動型のレベルシフトとして構成されている。また、n以下で1以上の整数をiとすると、各レベルシフト13 $_{(i)}$ は、制御信号 ENA_i が動作を指示している間、クロック信号CK、および、その反転信号CKバーに基づいて、対応するSRフリップフロップ $F1_{(i)}$ へ昇圧後のクロック信号 CK_i を印加できる。さらに、制御信号 ENA_i が動作停止を指示している間、動作を停止して、対応するSRフリップフロップ $F1_{(i)}$ へのクロック信号 CK_i の印加を阻止できると共に、動作停止中、後述する入力スイッチング素子を遮断して、貫通電流に起因するレベルシフト13 $_{(i)}$ の電力消費を削減できる。

【0068】一方、上記フリップフロップ部12は、1クロック周期幅の開始信号SPをクロック信号CKの各エッジ(立ち上がり、および、立ち下がり)毎に、次段へ伝送できるように構成されている。具体的には、各レベルシフト13 $_{(i)}$ の出力は、インバータ11 $_{(i)}$ を介し、負論理のセット信号Sバーとして、SRフリップフロップ $F1_{(i)}$ へ印加される。また、各SRフリップフロップ $F1_{(i)}$ の出力Qは、シフトレジスタ11の出力 S_i として出力されると共に、次段のレベルシフト13 $_{(i+1)}$ へ制御信号 ENA_{i+1} として印加される。なお、最前段のレベルシフト13 $_{(1)}$ には、制御信号 ENA_1 として、図1に示す制御回路5からの開始信号SPが昇圧された後、印加されている。さらに、各SRフリップフロップ $F1_{(i)}$ には、後段のSRフリップフロップ $F1_{(i+1)}$ へのセット信号のうち、伝送するパルスのパルス幅だけ遅れた信号がリセット信号Rとして印加される。本実施形態では、1クロック周期幅のパルスを伝送するので、1クロック周期遅れた信号、すなわち、2段後のSRフリップフロップ $F1_{(i+2)}$ へのクロック信号 $CK_{(i+2)}$ が、正論理のリセット信号として印加される。

【0069】また、奇数段のSRフリップフロップ $F1_{(1)} \dots F1_{(n)}$ がクロック信号CKの立ち上がりでセットされるように、奇数段のレベルシフト13 $_{(1)} \dots$ には、クロック信号CKが非反転入力端子に印加され、クロック信号の反転信号CKバーが反転入力端子に印加さ

れる。これとは逆に、偶数段のレベルシフト 13₍₂₎、13₍₄₎…には、偶数段の SR フリップフロップ F 1₍₂₎…がクロック信号 CK の立ち下がりによってセットされるように、クロック信号 CK が反転入力端子に印加され、その反転信号 CKバーが非反転入力端子に印加される。

【0070】上記構成によれば、図 4 に示すように、開始信号 SP がパルス入力されている間、最前段のレベルシフト 13₍₁₎ が動作して、昇圧した後のクロック信号 CK₁ を SR フリップフロップ F 1₍₁₎ へ印加する。これにより、SR フリップフロップ F 1₍₁₎ は、パルス入力の開始時時点の後、クロック信号 CK が最初に立ち上がった時点でセットされ、出力 S₁ をハイレベルへと変化させる。

【0071】上記出力 S₁ は、制御信号 ENA₂ として、2 段目のレベルシフト 13₍₂₎ へ印加される。これにより、レベルシフト 13₍₂₎ は、SR フリップフロップ F 1₍₁₎ がパルス出力している間（制御信号 ENA₂ = S₁ がハイレベルの間）、クロック信号 CK₂ を出力する。ただし、レベルシフト 13₍₂₎ には、クロック信号 CK が反転入力端子に印加されているので、レベルシフト 13₍₂₎ は、クロック信号 CK と極性が逆で、昇圧された信号をクロック信号 CK₂ として出力する。これにより、SR フリップフロップ F 1₍₂₎ は、前段の出力 S₁ がハイレベルになった後、クロック信号 CK が最初に立ち下がった時点でセットされ、出力 S₂ をハイレベルへと変化させる。

【0072】各出力信号 S_i は、次段のレベルシフト 13_(i+1) へ、制御信号 ENA_{i+1} として印加されているので、2 段目以降の SR フリップフロップ F 1₍₂₎…は、前段の出力 S_i…よりも、クロック信号 CK の 1/2 周期だけ遅れて、出力 S₂…を出力する。

【0073】一方、各段のレベルシフト 13_(i) には、2 段後のレベルシフト 13_(i+2) の出力 CK_{i+2} がリセット信号 R として印加される。したがって、各出力 S_i は、1 クロック周期だけ、ハイレベルとなった後、ローレベルへと変化する。これにより、フリップフロップ部 12 は、1 クロック周期幅の開始信号 SP をクロック信号 CK の各エッジ（立ち上がり、および、立ち下がり）毎に、次段へ伝送できる。

【0074】ここで、各レベルシフト 13_(i) は、SR フリップフロップ F 1_(i) 毎に設けられているため、SR フリップフロップ F 1_(i) の段数が多い場合であっても、唯一のレベルシフトでクロック信号 CK を昇圧した後、全てのフリップフロップへ印加する場合に比べて、互いに対応するレベルシフトとフリップフロップ間の距離を短くできる。したがって、昇圧後のクロック信号 CK_i の伝送距離を短くできると共に、各レベルシフト 13_(i) の負荷容量を削減できる。また、負荷容量が小さいので、例えば、レベルシフト 13_(i) が多結晶シリコン薄膜トランジスタから構成されている場合のように、

レベルシフト 13_(i) の駆動能力を十分に確保することが難しい場合であっても、バッファを設ける必要がない。これらの結果、シフトレジスタ 11 の消費電力を削減できる。

【0075】また、開始信号 SP や、前段の出力 S_{i-1} がローレベルの間のように、各 SR フリップフロップ F 1_(i) がクロック信号 CK_i の入力を必要としない場合、レベルシフト 13_(i) が動作を停止している。この状態では、クロック信号 CK_i が駆動されないため、駆動に必要な電力消費が発生しない。さらに、後述するように、各レベルシフト 13_(i) に設けられたレベルシフト部 13a への電力供給自体が停止されると共に、入力スイッチング素子が遮断され、貫通電流を流さない。したがって、電流駆動型のレベルシフトが多数 (n 個) 設けられているにも拘わらず、動作中のレベルシフト 13_(i) のみで、電力が消費される。この結果、シフトレジスタ 11 の消費電力を大幅に削減できる。

【0076】加えて、本実施形態に係るレベルシフト 13_(i) は、SR フリップフロップ F 1_(i) にクロック信号 CK_i が必要な期間、すなわち、開始信号 SP または前段の出力 S_{i-1} がパルス出力を開始した時点から SR フリップフロップ F 1_(i) がセットされるまでの期間を、開始信号 SP または前段の出力 S_{i-1} のみに基づいて判定している。この結果、開始信号 SP または前段の出力 S_{i-1} を直接印加するだけで、各レベルシフト 13_(i) の動作/停止を制御でき、新たな制御信号を作成するための回路を設ける場合に比べて、シフトレジスタ 11 の回路構成を簡略化できる。

【0077】さらに、本実施形態では、各レベルシフト 13_(i) が停止している間、各 SR フリップフロップ F 1_(i) へのクロック入力が阻止される。したがって、レベルシフト 13_(i) とは別にクロック入力の要否に応じて導通するスイッチを設けなくても、開始信号 SP を正しく伝送できる。

【0078】ここで、上記各 SR フリップフロップ F 1 では、例えば、図 5 に示すように、駆動電圧 V_{cc} と接地レベルとの間に、P 型の MOS トランジスタ P 1、N 型の MOS トランジスタ N 2 および N 3 が互いに直列に接続されており、トランジスタ P 1・N 3 のゲートには、負論理のセット信号 Sバーが印加される。また、トランジスタ N 2 のゲートには、正論理のリセット信号 R が印加される。さらに、互いに接続された上記両トランジスタ P 1・N 2 のドレイン電位は、インバータ INV 1・INV 2 で、それぞれ反転され、出力信号 Q として出力される。一方、駆動電圧 V_{cc} と接地レベルとの間には、さらに、それぞれ直列に接続された P 型の MOS トランジスタ P 4・P 5 および N 型の MOS トランジスタ N 6・N 7 が設けられている。上記両トランジスタ P 5・N 6 のドレインは、上記インバータ INV 1 の入力に接続されていると共に、両トランジスタ P 5・N 6 のゲート

は、インバータ INV1 の出力に接続されている。さらに、上記トランジスタ P4 には、リセット信号 R が印加されると共に、上記トランジスタ N7 のゲートには、セット信号 S バーが印加される。

【0079】上記 SR フリップフロップ F1 では、図 6 に示すように、リセット信号 R がインアクティブ（ローレベル）の間に、セット信号 S バーがアクティブ（ローレベル）に変化すると、上記トランジスタ P1 が導通して、インバータ INV1 の入力をハイレベルに変化させる。これにより、SR フリップフロップ F1 の出力信号 Q は、ハイレベルへと変化する。

【0080】この状態では、リセット信号 R およびインバータ INV1 の出力によって、トランジスタ P4・P5 が導通する。また、リセット信号 R およびインバータ INV1 の出力によって、トランジスタ N2・N6 が遮断される。これにより、セット信号 S バーがインアクティブに変化しても、インバータ INV1 の入力は、ハイレベルに維持され、出力信号 Q は、ハイレベルのまま保たれる。

【0081】その後、リセット信号 R がアクティブになると、トランジスタ P4 が遮断され、トランジスタ N2 が導通する。ここで、セット信号 S バーがインアクティブのままなので、トランジスタ P1 は、遮断され、トランジスタ N3 が導通する。したがって、インバータ INV1 の入力がローレベルに駆動され、出力信号 Q がローレベルへと変化する。

【0082】一方、本実施形態に係るレベルシフト 13 は、例えば、図 7 に示すように、クロック信号 CK をレベルシフトするレベルシフト部 13a と、クロック信号 CK の供給が不要な停止期間に、レベルシフト部 13a への電力供給を遮断する電力供給制御部 13b と、停止期間中、レベルシフト部 13a とクロック信号 CK が伝送される信号線とを遮断する入力制御部（スイッチ）13c と、停止期間中、上記レベルシフト部 13a の入力スイッチング素子を遮断する入力スイッチング素子遮断制御部（入力信号制御部）13d と、停止期間中、レベルシフト部 13a の出力を所定の値に維持する出力安定部（出力安定手段）13e とを備えている。

【0083】上記レベルシフト部 13a は、入力段の差動入力対として、ソースが互いに接続された P 型の MOS トランジスタ P11・P12 と、両トランジスタ P11・P12 のソースへ所定の電流を供給する定電流源 Ic と、カレントミラー回路を構成し、両トランジスタ P11・P12 の能動負荷となる N 型の MOS トランジスタ N13・N14 と、差動入力対の出力を増幅する CMOS 構造のトランジスタ P15・N16 とを備えている。

【0084】上記トランジスタ P11 のゲートには、後述するトランジスタ N31 を介して、クロック信号 CK が入力され、トランジスタ P12 のゲートには、後述す

るトランジスタ N33 を介して、クロック信号の反転信号 CK バーが入力される。また、トランジスタ N13・N14 のゲートは、互いに接続され、さらに、上記トランジスタ P11・N13 のドレインに接続されている。一方、互いに接続されたトランジスタ P12・N14 のドレインは、上記トランジスタ P15・N16 のゲートに接続される。なお、トランジスタ N13・N14 のソースは、上記電力供給制御部 13b としての N 型の MOS トランジスタ N21 を介して接地される。

【0085】一方、上記トランジスタ P11 側の入力制御部 13c では、クロック信号 CK と上記トランジスタ P11 のゲートとの間に、N 型の MOS トランジスタ N31 が設けられている。また、トランジスタ P11 側の入力スイッチング素子遮断制御部 13d では、トランジスタ P11 のゲートと駆動電圧 Vcc との間に、P 型の MOS トランジスタ P32 が設けられている。同様に、トランジスタ P12 のゲートには、入力制御部 13c としてのトランジスタ N33 を介して、クロック信号の反転信号 CK バーが印加され、入力スイッチング素子遮断制御部 13d としてのトランジスタ P34 を介して、駆動電圧 Vcc が与えられる。

【0086】また、上記出力安定部 13e は、停止期間におけるレベルシフト 13 の出力電圧 OUT を、接地レベルに安定させる構成であり、駆動電圧 Vcc と上記両トランジスタ P15・N16 のゲートとの間に、P 型の MOS トランジスタ P41 を備えている。

【0087】なお、本実施形態では、制御信号 ENA は、ハイレベルの場合、レベルシフト 13 の動作を示すように設定されている。したがって、上記各トランジスタ N21～P41 のゲートには、制御信号 ENA が印加される。

【0088】上記構成のレベルシフト 13 では、制御信号 ENA が動作を示している場合（ハイレベルの場合）、トランジスタ N21・N31・N33 が導通し、トランジスタ P32・P34・P41 が遮断される。この状態では、定電流源 Ic の電流は、トランジスタ P11 および N13、あるいは、トランジスタ P12 および N14 を介した後、さらに、トランジスタ N21 を介して流れる。また、両トランジスタ P11・P12 のゲートには、クロック信号 CK、あるいは、クロック信号の反転信号 CK バーが印加される。この結果、両トランジスタ P11・P12 には、それぞれのゲートソース間電圧の比率に応じた量の電圧が流れる。一方、トランジスタ N13・N14 は、能動負荷として働くので、トランジスタ P12・N14 の接続点の電圧は、両 CK・CK バーの電圧レベルの差に応じた電圧となる。当該電圧は、CMOS のトランジスタ P15・N16 のゲート電圧となり、両トランジスタ P15・N16 で電力増幅された後、出力電圧 OUT として出力される。

【0089】上記レベルシフト 13 は、クロック信号 C

Kによって、入力段のトランジスタP11・P12の導通／遮断を切り換える構成、すなわち、電圧駆動型とは異なり、動作中、入力段のトランジスタP11・P12が常時導通する電流駆動型であり、両トランジスタP11・P12のゲートソース間電圧の比率に応じて、定電流源Icの電流を分流することによって、クロック信号CKをレベルシフトする。これにより、クロック信号CKの振幅が入力段のトランジスタP11・P12のしきい値よりも低い場合であっても、何ら支障なく、クロック信号CKをレベルシフトできる。

【0090】この結果、各レベルシフト13_(i)は、図4に示すように、それぞれに対応する制御信号ENA_iがハイレベルの間、クロック信号CK_iとして、波高値が駆動電圧V_{cc}よりも低い値（例えば、5[V]程度）のクロック信号CKと同一形状で、波高値が駆動電圧V_{cc}（例えば、15[V]程度）に昇圧された出力電圧OUTを出力できる。

【0091】これとは逆に、制御信号ENA_iが動作停止を示している場合（ローレベルの場合）、定電流源Icから、トランジスタP11およびN13、あるいは、トランジスタP12およびN14を介して流れる電流は、トランジスタN21によって遮断される。この状態では、定電流源Icからの電流供給がトランジスタN21にて阻止されるため、当該電流に起因する消費電力を削減できる。また、この状態では、両トランジスタP11・P12へ電流が供給されないため、両トランジスタP11・P12は、差動入力対として動作することができず、出力端、すなわち、両トランジスタP12・N14の接続点の電位を決定できなくなる。

【0092】さらに、この状態では、各入力制御部13cのトランジスタN31・N33が遮断される。これにより、クロック信号CK（CKバー）を伝送する信号線と、入力段の両トランジスタP11・P12のゲートとが切り離され、当該信号線の負荷容量となるゲート容量は、動作中のレベルシフト13のもののみに限定される。この結果、当該信号線に複数のレベルシフト13_(i)が接続されているにも拘わらず、信号線の負荷容量を削減でき、図2に示す制御回路5のように、クロック信号CK（CKバー）を駆動する回路の消費電力を削減できる。

【0093】また、停止中は、各入力スイッチング素子遮断制御部13dのトランジスタP32・P34が導通するので、上記両トランジスタP11・P12のゲート電圧は、いずれも駆動電圧V_{cc}となり、両トランジスタP11・P12が遮断される。これにより、トランジスタN21を遮断する場合と同様に、定電流源Icが出力する電流分だけ、消費電流を低減できる。なお、この状態では、両トランジスタP11・P12は、差動入力対として動作することができないので、上記出力端の電位を決定できない。

【0094】加えて、制御信号ENAが動作停止を示している場合には、さらに、出力安定部13eのトランジスタP41が導通する。この結果、上記出力端、すなわち、CMOSのトランジスタP15・N16のゲート電位は、駆動電圧V_{cc}となり、出力電圧OUTがローレベルとなる。これにより、図4に示すように、制御信号ENA_iが動作停止を示している場合、レベルシフト13_(i)の出力電圧OUT（CK_i）は、クロック信号CKに拘わらず、ローレベルのまま保たれる。この結果、レベルシフト13_(i)の停止中における出力電圧OUTが不定の場合とは異なり、SRフリップフロップF1_(i)の誤動作を防止でき、安定して動作可能なシフトレジスタ11を実現できる。

【0095】〔第2の実施形態〕本実施形態では、第1の実施形態とは異なり、シフトレジスタが複数段のDフリップフロップから構成される場合について、図8ないし図14に基づいて説明する。なお、以降の各実施形態では、説明の便宜上、先の実施形態と同様の機能を有する部材には、同じ参照符号を付して説明を省略する。

【0096】すなわち、図8に示すように、本実施形態に係るシフトレジスタ21は、複数段のDフリップフロップF2_(i)…からなるフリップフロップ部22と、各DフリップフロップF2_(i)毎に設けられ、図1に示すレベルシフト13_(i)…と同様の構成のレベルシフト23_(i)…とを備えている。

【0097】上記各DフリップフロップF2_(i)は、クロック信号CK_iがハイレベルの期間、入力Dに応じて出力Qを変化させ、ローレベルの間、出力Qを維持するDフリップフロップであって、各DフリップフロップF2_(i)の出力Qは、出力S_iとして出力されると共に、次段のDフリップフロップF2_(i+1)へ入力される。なお、最前段のDフリップフロップF2₍₁₎には、開始信号SPが入力される。

【0098】また、図1と同様に、奇数段のレベルシフト23₍₁₎…は、動作中、昇圧したクロック信号CKをクロック信号CK₁…として出力すると共に、偶数段のレベルシフト23₍₂₎…は、動作中、クロック信号CKとは逆極性で昇圧された信号CK₂…を出力する。なお、偶数奇数に拘わらず、DフリップフロップF2_(i)には、対応するクロック信号CK_iと、インバータI2_(i)で生成されたクロック信号CK_iの反転信号とが、それぞれ印加される。

【0099】ここで、DフリップフロップF2_(i)の出力S_iは、クロック信号CK_iが立ち上がるまで変化しないため、図1に示すSRフリップフロップF1_(i)とは異なり、出力S_iの立ち上がり時点だけではなく、立ち下がり時点にもクロック信号CK_iを必要とする。したがって、本実施形態では、各レベルシフト23_(i)の入力と出力との論理和を演算するOR回路G1_(i)が設けられており、演算結果を対応するレベルシフト23

10

20

30

40

50

(1) への制御信号 ENA_i として出力している。

【0100】上記構成において、図9に示すように、開始信号 SP がパルス入力されると、制御信号 ENA_i がハイレベルへと変化して、Dフリップフロップ $F2_{(i)}$ へ、昇圧後のクロック信号 CK_i が入力される。この結果、開始信号 SP がパルス入力された後、次のクロック信号 CK_i の立ち上がり時点において、Dフリップフロップ $F2_{(i)}$ の出力 S_i は、ハイレベルへと変化し、クロック信号 CK_i がローレベルの間は、開始信号 SP がローレベルへと変化しても、ハイレベルのまま保たれる。

【0101】開始信号 SP がローレベルへと変化した後、最初にクロック信号 CK_i が立ち上がった時点で、Dフリップフロップ $F2_{(i)}$ の出力 S_i は、ローレベルへと変化する。さらに、この状態では、開始信号 SP および出力 S_i が共にローレベルなので、OR回路 $G1_{(i)}$ は、制御信号 ENA_i をローレベルへと変化させ、レベルシフタ $23_{(i)}$ を停止させる。

【0102】ここで、各Dフリップフロップ $F2_{(i)}$ の出力 S_i は、次段のDフリップフロップ $F2_{(i+1)}$ へ入力され、隣接するDフリップフロップ $F2_{(i)} \cdot F2_{(i+1)}$ には、互いに逆相のクロック信号 $CK_i \cdot CK_{i+1}$ が入力される。この結果、フリップフロップ部22は、開始信号 SP をクロック信号 CK の各エッジ（立ち上がり、および、立ち下がり）毎に、次段へ伝送できる。

【0103】上記構成では、各レベルシフタ $23_{(i)}$ は、対応するDフリップフロップ $F2_{(i)}$ がクロック信号 CK_i の入力を必要としている間、すなわち、Dフリップフロップ $F2_{(i)}$ へパルス入力開始されてから、Dフリップフロップ $F2_{(i)}$ がパルス出力を終了するまでの期間、動作し、残余の期間は、動作を停止できる。この結果、第1の実施形態と同様に、駆動電圧 V_{cc} よりも小さな振幅のクロック信号 CK で動作可能で、しかも、消費電力の少ないシフトレジスタ21を実現できる。

【0104】さらに、本実施形態に係るフリップフロップ部22は、第1の実施形態とは異なり、入力 D とクロック信号 CK とに基づいて、出力 Q を変化させるDフリップフロップで構成されているので、開始信号 SP のパルス幅（クロック数）が変化しても、何ら支障なく、開始信号 SP を伝送できる。

【0105】例えば、図2に示すサンプリング部3bでは、映像信号 DAT をサンプリングするサンプリングトランジスタの駆動能力が低い場合には、より長いサンプリング期間が必要となり、より長いパルス幅（時間）の出力 $S_1 \dots S_n$ を必要とする。一方、同じ時間のパルス幅であっても、クロック信号 CK の周波数が高くなるに従って、クロック数が大きくなる。したがって、開始信号 SP のパルス幅の最適値は、サンプリングトランジスタの駆動能力とクロック信号 CK の周波数とによって変

化する。このため、図1に示すシフトレジスタ11のように、出力 $S_1 \dots$ のパルス幅（クロック数）に応じて、リセット信号 R の接続先を設定する構成の場合、所望のパルス幅（クロック数）毎に異なる回路を設計する必要がある。また、同じデータ信号線駆動回路3を異なる周波数のクロック信号 CK で駆動する場合や、異なる表示部2の駆動に流用する場合には、最適なパルス幅を確保できず、表示品位を低下させる虞れがある。

【0106】これに対して、本実施形態に係るシフトレジスタ21は、開始信号 SP のパルス幅を変更するだけで、所望のパルス幅の出力 $S_1 \dots$ を出力できる。したがって、設計の手間を削減できると共に、上記の場合でも表示品位が低下しない画像表示装置1を実現できる。

【0107】ただし、図5に示すように、SRフリップフロップ $F1$ は、後述の図10に示すDフリップフロップ $F2$ に比べて、少ない素子で実現でき、素子の動作速度が同一の場合、より高速に動作できる。さらに、前段の出力 S_{i-1} で、次段のレベルシフタ $13_{(i)}$ の動作／停止を直接制御できるので、上記OR回路 $G1_{(i)}$ が不要である。この結果、最適なパルス幅（クロック数）が予め決定でき、高速で回路規模の小さなシフトレジスタが要求される場合には、SRフリップフロップ $F1$ を使用の方が好ましい。

【0108】ここで、上記各Dフリップフロップ $F2$ では、例えば、図10に示すように、駆動電圧 V_{cc} と接地レベルとの間に、P型のMOSトランジスタ $P51 \cdot P52$ 、並びに、N型のMOSトランジスタ $N53 \cdot N54$ が互いに直列に接続されている。上記トランジスタ $P52 \cdot N53$ のゲートには、入力信号 D が印加され、互いに接続された両トランジスタ $P52 \cdot N53$ のドレイン電位は、インバータ $INV51$ で反転された後、出力 Q として出力される。一方、駆動電圧 V_{cc} と接地レベルとの間には、さらに、それぞれ直列に接続されたP型のMOSトランジスタ $P55 \cdot P56$ 、並びに、N型のMOSトランジスタ $N57 \cdot N58$ が設けられている。上記両トランジスタ $P56 \cdot N57$ のドレインは、インバータ $INV51$ の入力に接続され、それぞれのゲートは、インバータ $INV51$ の出力に接続されている。さらに、上記トランジスタ $P51 \cdot N58$ のゲートには、クロック信号の反転信号 CK が印加され、トランジスタ $N54 \cdot P55$ のゲートには、クロック信号 CK が印加される。

【0109】上記構成のDフリップフロップ $F2$ では、クロック信号 CK がハイレベルの間、トランジスタ $P51 \cdot N54$ が導通し、トランジスタ $P55 \cdot N58$ が遮断される。これにより、入力 D は、トランジスタ $P52 \cdot N53$ で反転された後、インバータ $INV51$ で反転される。この結果、出力 Q は、入力 D と同じ値に変化する。これとは逆に、クロック信号 CK がローレベルの間、トランジスタ $P51 \cdot N54$ が遮断されるので、ト

ランジスタ P52・N53 は、入力 D を反転できない。また、この状態では、トランジスタ P55・N58 が導通して、インバータ INV51 の出力が入力に帰還される。この結果、クロック信号 CK がローレベルの間、出力 Q は、入力 D がハイレベルであっても、クロック信号 CK の立ち上がり時点と同じ値に保たれる。したがって、図 11 に示すように、D フリップフロップ F2 の出力 Q は、入力 D が変化した後、最初に、クロック信号 CK が立ち上がった時点で、入力 D に追従して変化する。

【0110】一方、上記各 OR 回路 G1 には、例えば、図 12 に示すように、各入力 $IN_{(1)}$ … に対応する P 型の MOS トランジスタ P61₍₁₎ … からなる直列回路と、各入力 $IN_{(1)}$ … に対応する N 型の MOS トランジスタ N62₍₁₎ … からなる並列回路と、P 型の MOS トランジスタ P63 および N 型の MOS トランジスタ N64 からなる CMOS インバータとが設けられている。ここで、上記 OR 回路 G1 は、2 入力の OR 回路なので、トランジスタ P61・N62 は、それぞれ 2 つずつ設けられ、トランジスタ P61₍₁₎・N62₍₁₎ のゲートには、入力 $IN_{(1)}$ が印加され、トランジスタ P62₍₂₎・N62₍₂₎ のゲートには、入力 $IN_{(2)}$ が印加される。また、上記直列回路と並列回路とは、互いに直列に接続され、駆動電圧 V_{cc} と接地レベルとの間に配される。さらに、上記直列回路と並列回路との接続点は、CMOS インバータの入力端、すなわち、上記両トランジスタ P63・N64 のゲートに接続される。これにより、OR 回路 G1 は、上記 CMOS インバータの出力端となるトランジスタ P63・N64 のドレインから、入力 $IN_{(1)}$ ・ $IN_{(2)}$ の論理和を出力できる。

【0111】ところで、図 8 では、各 D フリップフロップ F2₍₁₎ の入出力を論理和して、レベルシフト 23₍₁₎ へ動作/停止を指示する OR 回路 G1₍₁₎ が設けられているが、各レベルシフト自体が、D フリップフロップ F2₍₁₎ の入出力を論理和して動作/停止を判断できれば、OR 回路 G1₍₁₎ を省略できる。

【0112】具体的には、図 13 に示すように、本変形例に係るシフトレジスタ 21a では、レベルシフト 23₍₁₎ に代えて、制御信号 ENA_1 ・ ENA_2 のいずれかがアクティブ（真）の場合に動作するレベルシフト 24₍₁₎ が設けられている。これに伴い、図 8 に示す OR 回路 G1₍₁₎ が省略され、D フリップフロップ F2₍₁₎ の入出力が制御信号 ENA_1 ・ ENA_2 として、互いに対応するレベルシフト 24₍₁₎ に直接入力されている。

【0113】上記レベルシフト 24 は、例えば、図 14 に示すように、図 7 に示すレベルシフト 13 と略同様の構成であるが、当該レベルシフト 13 とは異なり、電力供給制御部 24b～出力安定部 24e において、制御信号 ENA_1 ・ ENA_2 に対応して、同数（この場合は 2 個）の各トランジスタ N21～P41 が設けられてい

ランジスタ N21₍₁₎・N21₍₂₎ が互いに並列に接続されている。同様に、トランジスタ P11 に対応する入力制御部 24c では、トランジスタ N31₍₁₎・N31₍₂₎ が、トランジスタ P12 に対応する入力制御部 24c では、トランジスタ N33₍₁₎・N33₍₂₎ が、それぞれ互いに並列に接続されている。一方、出力安定部 24e では、トランジスタ P41₍₁₎・P41₍₂₎ が互いに直列に接続され、各入力スイッチング素子遮断制御部 24d は、互いに直列に接続されたトランジスタ P32₍₁₎・P32₍₂₎、あるいは、互いに直列に接続されたトランジスタ P34₍₁₎・P34₍₂₎ から構成される。また、本実施形態では、シフトレジスタ 21a がハイレベルのパルス信号を送送するので、上記各トランジスタ N21₍₁₎～P41₍₂₎ のうち、制御信号 ENA_1 に対応する方（添字が₍₁₎ のもの）のゲートには、制御信号 ENA_1 が印加され、制御信号 ENA_2 に対応する方（添字が₍₂₎ のもの）のゲートには、対応する制御信号 ENA_2 が印加される。

【0114】上記構成によれば、制御信号 ENA_1 または ENA_2 の少なくとも一方がハイレベルの場合、トランジスタ N21₍₁₎・N21₍₂₎ のいずれかと、トランジスタ N31₍₁₎・N31₍₂₎ のいずれかと、トランジスタ N33₍₁₎・N33₍₂₎ のいずれかとが導通する。また、トランジスタ P32₍₁₎・P32₍₂₎ のいずれかと、トランジスタ P34₍₁₎・P34₍₂₎ のいずれかと、トランジスタ P41₍₁₎・P41₍₂₎ のいずれかとが遮断される。この結果、上記レベルシフト 13 と同様に、レベルシフト 24 が動作する。これとは逆に、制御信号 ENA_1 および ENA_2 のいずれもがローレベルの場合、N 型のトランジスタ N21₍₁₎～N34₍₂₎ 全てが遮断され、P 型のトランジスタ P31₍₁₎～P41₍₂₎ 全てが導通するので、上記レベルシフト 13 と同様に、レベルシフト 24 が動作を停止する。この結果、図 8 に示すレベルシフト 23₍₁₎ と同様に、レベルシフト 24₍₁₎ は、対応する D フリップフロップ F2₍₁₎ の入出力に応じて、動作/停止でき、同様の効果を得ることができる。

【0115】〔第 3 の実施形態〕ところで、上記第 1 および第 2 の実施形態では、フリップフロップ毎にレベルシフトを設けているが、回路規模の削減が強く要求される場合には、以下の各実施形態に示すように、複数のフリップフロップ毎にレベルシフトを設けてもよい。本実施形態では、図 15 ないし図 19 を参照して、複数の SR フリップフロップ毎に、レベルシフトが設けられている場合について説明する。

【0116】すなわち、本実施形態に係るシフトレジスタ 11a では、図 15 に示すように、N 個の SR フリップフロップ F1 は、K 個の SR フリップフロップ F1 毎に分けられ、複数のブロック B₁～B_K に分割されている。さらに、レベルシフト 13 は、各ブロック B 毎に設

けられている。なお、以下では、説明の便宜上、 P 以下で1以上の整数を i 、 K 以下で1以上の整数を j とすると、 i 番目のブロック B_i において、 j 番目のSRフリップフロップ $F1$ を、 $F1_{(i,j)}$ のように参照する。

【0117】さらに、本実施形態では、各ブロック B_i 毎に、レベルシフト $13_{(i)}$ へ制御信号 $EN A_i$ を指示するOR回路 $G2_{(i)}$ が設けられている。当該OR回路 $G2_{(i)}$ は、当該ブロック B_i への入力信号と、当該ブロック B_i 内の最終段を除くSRフリップフロップ $F1_{(i,1)} \cdots F1_{(i,K-1)}$ の各出力信号との論理和を算出し、上記レベルシフト $13_{(i)}$ へ出力する K 入力のOR回路である。ここで、ブロック B_i への入力信号は、最前段のブロック B_i では、開始信号 SP であり、2段目以降のブロック B_i では、前段のブロック B_{i-1} の出力信号である。上記OR回路 $G2$ は、例えば、図16に示すように、図12に示すOR回路 $G1$ において、トランジスタ $P61$ の個数とトランジスタ $N62$ の個数とを入力の数（この場合は、 K 個）に増加させた回路によって実現できる。

【0118】これにより、図17に示すように、当該ブロック B_i へのパルス入力開始された時点から、最終段より1つ前のSRフリップフロップ $F1_{(i,K-1)}$ の出力 $S_{i,(K-1)}$ のパルス出力が終了する時点まで、レベルシフト $13_{(i)}$ への制御信号 $EN A_i$ がハイレベルとなる。この結果、レベルシフト $13_{(i)}$ は、少なくとも、当該ブロック B_i 内のSRフリップフロップ $F1_{(i,1)} \cdots F1_{(i,K)}$ のいずれかがクロック信号 CK_i の入力を必要とする間、すなわち、上記パルス入力開始された時点から、最終段のSRフリップフロップ $F1_{(i,K)}$ がセットされた時点までの間、クロック信号 CK_i を出力できると共に、上記SRフリップフロップ $F1_{(i,K)}$ がセットされた後、SRフリップフロップ $F1_{(i,K-1)}$ の出力 $S_{i,(K-1)}$ のパルス出力が終了した時点で動作を停止できる。

【0119】ここで、本実施形態では、レベルシフト $13_{(i)}$ は、当該ブロック B_i のSRフリップフロップ $F1_{(i,j)}$ のうち、いずれかがクロック入力を必要としている場合、クロック信号 CK_i を出力し続けるため、各SRフリップフロップ $F1_{(i,j)}$ へクロック信号 CK_i を、そのまま供給すると、図17中、破線で示すように、SRフリップフロップ $F1_{(i,j)}$ がリセットされた後、再び、SRフリップフロップ $F1_{(i,j)}$ がセットされるので、開始信号 SP の1パルスから複数のパルスが生成されてしまう。したがって、図15に示すように、上記シフトレジスタ $11a$ には、レベルシフト $13_{(i)}$ と各SRフリップフロップ $F1_{(i,j)}$ との間に、スイッチ $SW_{i,j}$ が設けられており、前段のSRフリップフロップ $F1_{(i,j-1)}$ がパルス出力している間のみ、クロック信号 CK_i をSRフリップフロップ $F1_{(i,j)}$ へ印加している。また、上記スイッチ $SW_{i,j}$ が遮断されて

いる間、各SRフリップフロップ $F1_{(i,j)}$ へのセット入力を阻止するために、各SRフリップフロップ $F1_{(i,j)}$ の負論理のセット端子 S バーには、 P 型のMOSトランジスタ $P_{i,j}$ を介して駆動電圧 V_{cc} が印加されている。シフトレジスタ $11a$ の最前段では、トランジスタ $P_{i,j}$ のゲートには、開始信号 SP が印加され、残余の段のトランジスタ $P_{i,j}$ のゲートには、前段のSRフリップフロップ $F1_{(i,j-1)}$ の出力 $S_{i,j-1}$ が印加される。これにより、スイッチ $SW_{i,j}$ が遮断されている間、トランジスタ $P_{i,j}$ が導通して、上記セット端子 S バーが所定の電位（この場合は、駆動電圧 V_{cc} ）に固定され、セット入力が阻止される。これらの結果、上記開始信号 SP は、何ら支障なく、伝送される。なお、例えば、最終段のSRフリップフロップ $F1_{(i,K)}$ など、リセットされた後には、クロック信号 CK_i が供給されないSRフリップフロップ $F1$ では、上記スイッチ SW を介さず、直接、クロック信号 CK_i を入力してもよい。

【0120】上記構成では、第1の実施形態に示すように、各SRフリップフロップ $F1$ 毎にレベルシフト 13 を設ける場合に比べれば、レベルシフト 13 とSRフリップフロップ $F1$ との距離は長くなるが、単一のレベルシフトから全てのSRフリップフロップへクロック信号 CK を供給する従来技術に比べれば、両者間の距離を短縮でき、バッファを削減できるので、第1の実施形態と略同様に、消費電力の少ないシフトレジスタ $11a$ を実現できる。

【0121】ここで、ブロック B に含まれるSRフリップフロップ $F1$ の数を増加させると、シフトレジスタ $11a$ に含まれるレベルシフト 13 の数を削減できるので、回路構成を簡略化できる。一方、SRフリップフロップ $F1$ の数を増加させ過ぎると、レベルシフト 13 の駆動能力が不足して、バッファが必要になるので、消費電力が増大してしまう。したがって、余り消費電力を増加させずに、回路規模の削減が要求される場合にはバッファを設けずに、レベルシフト $13_{(i)}$ がクロック信号 $CK_{(i)}$ を供給できる範囲内に、各ブロック B 内のSRフリップフロップ $F1$ の数を設定する方が望ましい。

【0122】なお、上記実施形態では、OR回路 $G2$ でレベルシフト 13 の動作/停止を制御する場合を例にして説明したが、図13に示すレベルシフト 24 と同様、図18に示すように、レベルシフト 14 自体がOR回路 $G2$ への各入力信号に基づいて、動作/停止を決定してもよい。当該レベルシフト 14 は、例えば、図19に示すように、図14に示すレベルシフト 24 において、入力と同数（この場合は、 K 個）だけ、各トランジスタ $N21 \sim P41$ を設けた回路で実現できる。

【0123】〔第4の実施形態〕以下では、図20ないし図24を参照して、複数のDフリップフロップ毎に、レベルシフトが設けられている場合について説明する。すなわち、図20に示すように、本実施形態に係るシフ

トレジスタ 21b は、図 8 に示すシフトレジスタ 21 に類似しているが、N 個の D フリップフロップ F 2 が K 個の D フリップフロップ F 2 毎に分けられ、複数のブロック $B_1 \sim B_i$ に分割されている。さらに、レベルシフト 23 は、各ブロック B_i 毎に設けられている。

【0124】さらに、本実施形態では、各ブロック B_i 毎に、レベルシフト 23_(i) へ制御信号 ENA_i を指示する OR 回路 G 3_(i) が設けられている。当該 OR 回路 G 3_(i) は、(K+1) 入力の OR 回路であり、当該ブロック B_i 内の D フリップフロップ F 2_(i,1) … F 2_(i,K) の各入出力の論理和を算出して、上記レベルシフト 23_(i) へ出力する。ここで、最前段の D フリップフロップ F 2_(i,1) への入力信号は、最前段のブロック B_i では、開始信号 SP であり、2 段目以降のブロック B_i では、前段のブロック B_{i-1} の出力信号である。上記 OR 回路 G 3 は、例えば、図 21 に示すように、図 12 に示す OR 回路 G 1 において、トランジスタ P 61 の個数とトランジスタ N 62 の個数とを入力の数（この場合は、K+1 個）に増加させた回路によって実現できる。

【0125】これにより、図 22 に示すように、当該ブロック B_i 内の D フリップフロップ F 2_(i,1) … F 2_(i,K) のいずれかがクロック信号 CK_i の入力が必要とする間、すなわち、当該ブロック B_i へのパルス入力開始された時点から最終段の D フリップフロップ F 2_(i,K) がパルス出力を終了する時点までの期間、レベルシフト 23_(i) への制御信号 ENA_i がハイレベルとなり、レベルシフト 23_(i) は、クロック信号 CK_i を出力できる。また、残余の期間は、制御信号 ENA_i がローレベルになるので、レベルシフト 23_(i) は、動作を停止できる。

【0126】上記構成では、第 2 の実施形態に示すシフトレジスタ 21 のように、各 D フリップフロップ F 2 毎にレベルシフト 23 を設ける場合に比べれば、レベルシフト 23 と D フリップフロップ F 2 との距離は長くなるが、単一のレベルシフトから全ての D フリップフロップへクロック信号 CK を供給する従来技術に比べれば、両者間の距離を短縮でき、バッファを削減できるので、第 2 の実施形態と略同様に、消費電力の少ないシフトレジスタ 21b を実現できる。

【0127】さらに、第 3 の実施形態と同様に、本実施形態では、上記シフトレジスタ 21 よりも、レベルシフト 23 の数を削減できる。さらに、余り消費電力を増加させずに、回路規模の削減が要求される場合には、バッファを設けずにレベルシフト 23_(i) がクロック信号 CK_i を供給できる範囲内に、各ブロック B_i 内の D フリップフロップ F 2 の数を設定する方が望ましい。

【0128】また、図 20 では、OR 回路 G 3 でレベルシフト 23 の動作/停止を制御する場合を例として説明したが、図 18 に示すシフトレジスタ 11b と同様、図 23 に示すシフトレジスタ 21c のように、レベルシフ

タ 25 自体が OR 回路 G 3 への各入力信号に基づいて、動作/停止を制御してもよい。当該レベルシフト 25 は、例えば、図 24 に示すように、図 19 に示すレベルシフト 14 において、入力と同数（この場合は、K+1 個）だけ、各トランジスタ N 21 ~ P 41 を設けた回路で実現できる。

【0129】〔第 5 の実施形態〕ところで、上記第 3（第 4）の実施形態では、レベルシフトあるいは OR 回路が K、(K+1) 個の信号を論理和して、レベルシフトの動作/停止を制御する場合について説明した。これに対して、本実施形態では、ラッチ回路を用いて、レベルシフトの動作/停止を制御する場合について、図 25 ~ 図 29 を参照しながら説明する。

【0130】具体的には、図 25 に示すように、本実施形態に係るシフトレジスタ 11c では、図 15 に示すシフトレジスタ 11a の OR 回路 G 2_(i) に代えて、ラッチ回路 31_(i) が設けられている。当該ラッチ回路 31 は、当該ブロック B_i の最前段の SR フリップフロップ F 1_(i,1) へのパルス入力と、最終段の SR フリップフロップ F 1_(i,K) のパルス出力とをトリガとして出力を変化させるように構成されており、上記パルス入力開始された時点から、上記パルス出力が開始された時点までの間、レベルシフト 13_(i) へ動作を指示できる。

【0131】上記ラッチ回路 31 は、例えば、最初のブロック B_i を例にすると、図 26 に示すように、負論理のセット信号 $S\bar{P}$ として、インバータ 31a で反転された開始信号 SP が印加され、正論理のリセット信号 R として、最終段の SR フリップフロップ F 1_(i,K) の出力 $S_{i,K}$ が印加される SR フリップフロップ 31b を備えている。なお、次段以降のブロック B_i では、開始信号 SP に代えて、前段のブロック B_{i-1} の出力が印加される。

【0132】上記構成では、図 27 に示すように、ラッチ回路 31_(i) は、最前段の SR フリップフロップ F 1_(i,1) への入力が高レベルへと変化した時点から、出力 $S_{i,K}$ がハイレベルへ変化するまでの間、制御信号 ENA_i をハイレベルに設定する。これにより、レベルシフト 13_(i) は、当該期間中、クロック信号 CK_i を供給し続けることができる。また、出力 $S_{i,K}$ がハイレベルへと変化する、制御信号 ENA_i がローレベルとなり、レベルシフト 13_(i) が動作を停止する。この結果、第 3 の実施形態と同様に、従来よりも少ない消費電力のシフトレジスタ 11c を実現できる。

【0133】さらに、本実施形態に係るラッチ回路 31_(i) は、第 3 の実施形態の OR 回路 G 2_(i)（レベルシフト 14_(i)）のように K 個の信号に基づいてレベルシフト 13_(i)（14_(i)）の動作/停止を判定する場合とは異なり、ブロック B_i 内の SR フリップフロップ F 1 の段数 K に拘わらず、2 つの信号をトリガとして、制御信号 ENA_i を生成している。したがって、判定に必

要な信号を伝送する信号線の数を 2 本に削減できる。ここで、判定用の信号線の数が増加すると、出力 $S_{i,k}$ やクロック信号 $CK \cdot CK_i$ を伝送する信号線との交差点が増加して、各信号線の容量が増加する虞れがある。ところが、本実施形態では、判定用の信号線が 2 本に削減されているので、第 3 の実施形態よりも判定用の信号線に起因する配線容量の増加を抑制でき、さらに、消費電力の小さなシフトレジスタ 11c を実現できる。

【0134】なお、図 26 では、ラッチ回路 31_(i) が SR フリップフロップから構成される場合を例にして説明したが、これに限るものではない。2 つの信号をトリガにして、レベルシフト 13_(i) の動作/停止を制御できれば、上記ラッチ回路 31_(i) に代えて、例えば、図 28 に示すラッチ回路 32 を用いても、同様の効果が得られる。

【0135】上記ラッチ回路 32 には、2 分周器を構成する 2 つの D フリップフロップ 32a・32b と、開始信号 SP および出力 $S_{i,k}$ の論理和の否定を算出する NOR 回路 32c と、NOR 回路 32c の出力を反転するインバータ 32d とが設けられている。上記 D フリップフロップ 32a の出力 Q は、D フリップフロップ 32b を介して、D フリップフロップ 32a へ入力されている。また、D フリップフロップ 32a には、インバータ 32d の出力 L_{set} がクロックとして印加され、D フリップフロップ 32b には、NOR 回路 32c の出力がクロックとして印加される。さらに、D フリップフロップ 32a の出力 L_{out} が制御信号 ENA_i として出力される。この結果、図 29 に示すように、ラッチ回路 32_(i) は、上記ラッチ回路 31_(i) と同様に、最前段の SR フリップフロップ $F1_{(i-1)}$ へパルス入力開始されてから、出力 $S_{i,k}$ の立ち上がり時点まで、ハイレベルの制御信号 ENA_i を出力して、レベルシフト 13_(i) に動作を指示できる。

【0136】なお、本実施形態では、ラッチ回路 (31・32) のトリガとして、最前段の SR フリップフロップ $F1_{(i-1)}$ へのパルス入力の開始と、最終段の SR フリップフロップ $F1_{(i,k)}$ のパルス出力の開始とを用いたが、これに限るものではない。ブロック B_i 内の SR フリップフロップ $F1$ がクロック信号 CK_i を必要とする期間よりも前のタイミングで制御信号 ENA_i をアクティブに設定可能な信号と、当該期間の後のタイミングで制御信号 ENA_i をインアクティブに設定可能な信号とをトリガとすれば、同様の効果が得られる。

【0137】〔第 6 の実施形態〕本実施形態では、D フリップフロップを用いたシフトレジスタにおいて、ラッチ回路でレベルシフトの動作/停止を制御する構成について、図 30 ないし図 34 を参照して説明する。

【0138】すなわち、本実施形態に係るシフトレジスタ 21d では、図 20 に示すシフトレジスタ 21b の OR 回路 $G3_{(i)}$ に代えて、図 25 に示すラッチ回路 31

(i) と略同様、最前段の D フリップフロップ $F2{(i-1)}$ へのパルス入力と、最終段の D フリップフロップ $F2_{(i,k)}$ のパルス出力とをトリガとするラッチ回路 33_(i) が設けられている。ただし、上述したように、D フリップフロップの場合は、最終段の D フリップフロップ $F2_{(i,k)}$ がパルス出力を停止するまでの間、クロック信号 CK_i が必要なので、上記ラッチ回路 33_(i) は、上記パルス入力開始された時点から、上記パルス出力が停止された時点までの間、レベルシフト 23_(i) へ動作を指示するように構成されている。

【0139】具体的には、上記ラッチ回路 33 は、最初のブロック B_i を例にすると、例えば、図 31 に示すように、図 26 に示すラッチ回路 31 に加えて、出力信号 L_{out} と、最終段の出力 $S_{i,k}$ との論理和の否定を算出する NOR 回路 33c と、算出結果を反転するインバータ 33d とを備えている。なお、次段以降のブロック B_{i+1} では、開始信号 SP に代えて、前段のブロック B_i の出力が印加される。

【0140】上記構成では、図 32 に示すように、ラッチ回路 33_(i) は、最前段の D フリップフロップ $F2_{(i-1)}$ への入力が高レベルへと変化した時点から、出力 $S_{i,k}$ がローレベルへと変化するまでの間、制御信号 ENA_i をハイレベルに設定する。これにより、レベルシフト 23_(i) は、当該期間中、クロック信号 CK_i を供給し続けることができる。また、出力 $S_{i,k}$ がローレベルへと変化するすると、制御信号 ENA_i がローレベルとなり、レベルシフト 23_(i) が動作を停止する。この結果、第 4 の実施形態と同様に、従来よりも少ない消費電力のシフトレジスタ 21d を実現できる。

【0141】さらに、本実施形態では、第 5 の実施形態と同様に、レベルシフト 23 の動作/停止の判定に必要な信号線数を削減できるので、第 4 の実施形態よりも判定用の信号線に起因する配線容量の増加を抑制でき、さらに、消費電力の小さなシフトレジスタ 21d を実現できる。

【0142】なお、図 31 では、ラッチ回路 33 が SR フリップフロップから構成される場合を例にして説明したが、これに限るものではない。2 つの信号をトリガにして、レベルシフト 13 の動作/停止を制御できれば、上記ラッチ回路 31_(i) に代えて、例えば、図 33 に示すラッチ回路 34 を用いても、同様の効果が得られる。

【0143】当該ラッチ回路 34 では、図 31 に示す NOR 回路 33c およびインバータ 33d が、図 28 に示すラッチ回路 32 に付加されている。この結果、図 34 に示すように、ラッチ回路 34 は、上記ラッチ回路 33 と同様に、ブロック B_i の最前段の D フリップフロップ $F2_{(i-1)}$ へパルス入力開始された時点から、最終段の D フリップフロップ $F2_{(i,k)}$ がパルス出力を終了した時点まで、ハイレベルの制御信号 ENA_i を出力して、レベルシフト 23_(i) に動作を指示できる。

10

20

30

40

50

【0144】なお、本実施形態では、ラッチ回路(33~34)のトリガとして、最前段のDフリップフロップF2_(i,j)へのパルス入力の開始と、最終段のDフリップフロップF2_(i,x)のパルス出力の終了とを用いたが、これに限るものではない。ブロックB_i内のDフリップフロップF2がクロック信号CK_iを必要とする期間よりも前のタイミングで制御信号ENA_iをアクティブに設定可能な信号と、当該期間の後のタイミングで制御信号ENA_iをインアクティブに設定可能な信号とをトリガとすれば、同様の効果が得られる。

【0145】〔第7の実施形態〕以下では、図35を参照して、上記第4および第6の実施形態と同様、レベルシフト23(24、25)が複数のDフリップフロップF2へクロック信号CKを供給するシフトレジスタ21b~21dにおいて、さらに消費電力を削減可能な構成について説明する。

【0146】具体的には、本実施形態に係るシフトレジスタは、上記シフトレジスタ21b~21dと同様の構成であるが、各DフリップフロップF2_(i,j)毎にクロック信号制御回路26_(i,j)が設けられており、レベルシフト23_(i)(24_(i)、25_(i)；以下では、23_(i)で代表する)は、クロック入力が必要なDフリップフロップF2のみに昇圧後のクロック信号CK_(i)を供給している。

【0147】上記クロック信号制御回路26_(i,j)は、図35に示すように、クロック信号CK_iが伝送される信号線上に設けられたスイッチSW1_(i,j)と、クロック信号CK_iの反転信号CK_iバーの伝送線上に設けられたスイッチSW2_(i,j)とを備えている。両スイッチSW1_(i,j)・SW2_(i,j)は、図8に示すレベルシフト23_(i,j)と同様、DフリップフロップF2_(i,j)の入出力の論理和を算出するOR回路G1_(i,j)によって制御され、DフリップフロップF2_(i,j)がクロック信号CK_i(CK_iバー)を必要とするときに導通すると共に、クロック入力が必要な場合に遮断される。さらに、クロック信号制御回路26_(i,j)には、DフリップフロップF2_(i,j)のクロック入力端子と接地電位との間に設けられたN型のMOSトランジスタN71_(i,j)と、DフリップフロップF2_(i,j)の反転クロック入力端子と駆動電圧V_{cc}との間に設けられたP型のMOSトランジスタP72_(i,j)とが設けられている。上記トランジスタN71_(i,j)のゲートには、OR回路G1_(i,j)の出力がインバータINV71_(i,j)で反転された後で印加されており、上記トランジスタP72_(i,j)のゲートには、OR回路G1_(i,j)の出力が印加される。

【0148】上記構成では、対応するDフリップフロップF2_(i,j)が昇圧後のクロック信号CK_i(CK_iバー)を必要な期間、上記スイッチSW1_(i,j)(SW2_(i,j))が導通して該DフリップフロップF2_(i,j)へ

クロック信号CK_i(CK_iバー)を印加する。一方、クロック入力が必要な期間には、上記スイッチSW1_(i,j)・SW2_(i,j)が遮断され、例えば、DフリップフロップF2_(i,j)など、両スイッチSW1_(i,j)・SW2_(i,j)以降の回路と、レベルシフト23_(i)とを切り離す。さらに、クロック入力が必要な期間には、上記両トランジスタN71_(i,j)・P72_(i,j)が導通して、DフリップフロップF2_(i,j)のクロック入力端子および反転入力端子をそれぞれ所定の値(ローレベルおよびハイレベル)に維持するので、上記両入力端子が不定の場合とは異なり、DフリップフロップF2_(i,j)の誤動作を抑制できる。

【0149】上記構成によれば、クロック入力が必要な期間中、両スイッチSW1_(i,j)・SW2_(i,j)以降の回路と、レベルシフト23_(i)とが切り離されるので、レベルシフト23_(i)は、現時点でクロック信号CK_(i)を必要とするDフリップフロップF2_(i,j)のみを駆動すればよい。したがって、ブロックB_i内の全DフリップフロップF2_(i,1)~F2_(i,x)を駆動する場合に比べて、レベルシフト23_(i)の負荷容量を大幅に削減でき、消費電力を削減できる。この結果、消費電力の小さなシフトレジスタを実現できる。

【0150】なお、上記では、DフリップフロップF2_(i,j)毎にクロック信号制御回路26_(i,j)が設けられている場合を例にして説明したが、これに限るものではなく、例えば、複数のDフリップフロップF2毎にクロック信号制御回路26を設けてもよい。この場合、両スイッチSW1・SW2は、両スイッチSW1・SW2に接続されるDフリップフロップF2がクロック入力が必要としている間、すなわち、最前段のDフリップフロップF2へのパルス入力が開始されてから、最終段のDフリップフロップF2がパルス出力を終了するまでの間、導通できるように、例えば、図20に示すOR回路G3や図30(図33)に示すラッチ回路33(34)と同様の回路によって制御される。この場合は、各DフリップフロップF2毎にクロック信号制御回路26を設ける構成と比較すると、レベルシフト23(24、25)の負荷容量は大きくなるが、クロック信号制御回路26の数を削減できるので、回路構成を簡略化できる。

【0151】〔第8の実施形態〕ところで、例えば、図2に示すデータ信号線駆動回路3や走査信号線駆動回路4では、上記各実施形態に係るシフトレジスタ(11・11a~11c・21・21a~21d)の各段の出力が、タイミングを示す信号として、直接使用される場合もあるが、複数段の出力を論理演算した信号がタイミング信号として使用されることもある。

【0152】以下では、第1・第3および第5の実施形態のように、SRフリップフロップF1を用いたシフトレジスタにおいて、複数段の出力を論理演算する場合に好適な構成について、図36および図37を参照しながら

ら説明する。なお、SRフリップフロップF1を用いた構成であれば、他の実施形態にも適用できるが、以下では、第1の実施形態の場合を例にして説明する。

【0153】すなわち、本実施形態に係るシフトレジスタ11dは、図1に示すシフトレジスタ11の構成に加えて、互いに隣接する2つの出力 $S_i \cdot S_{i+1}$ の論理積を演算し、演算結果をタイミング信号 SMP_i として出力するAND回路 $G4_{(i)}$ を備えている。さらに、最前段のSRフリップフロップF1₍₁₎の前段には、SRフリップフロップF1₍₀₎が設けられ、当該SRフリップフロップF1₍₀₎の出力 S_0 と、出力 S_1 との論理積を算出して出力するAND回路 $G4_{(0)}$ が設けられている。また、SRフリップフロップF1₍₀₎には、負論理のセット信号として、開始信号SPの反転信号SPバーが印加されており、上記SRフリップフロップF1₍₀₎の出力は、次段となるレベルシフト13₍₁₎に制御信号ENA₁として入力される。なお、SRフリップフロップF1₍₀₎は、他段のSRフリップフロップF1₍₁₎と同様に、伝送するパルス信号のパルス幅に応じた段数（この場合は、2段）だけ後のレベルシフト13₍₂₎の出力CK₂が印加される。

【0154】ここで、各SRフリップフロップF1₍₀₎、F1₍₁₎…の出力 S_0 、 S_1 …のうち、出力 S_0 のみが、単一のAND回路 $G4_{(0)}$ に接続されており、他の出力 S_i は、2つのAND回路 $G4_{(i-1)} \cdot G4_{(i)}$ とに接続されている。この結果、SRフリップフロップF1₍₀₎と、残余のSRフリップフロップF1₍₁₎とは、出力負荷が異なり、仮に同じタイミングで駆動したとしても、出力 S_0 と残余の出力 S_1 …とは、クロック信号CKに対する遅延時間が互いに異なってしまう。したがって、クロック信号CKの周波数が高い場合には、遅延時間のズレに起因するタイミングのバラツキを抑えるため、上記AND回路 $G4_{(0)}$ の出力信号は、後段の回路では使用されないダミー信号DUMMYとなり、残余のAND回路 $G4_{(1)}$ …の出力 SMP_i …のみが、映像信号抽出に使用される。

【0155】上記構成において、SRフリップフロップF1₍₀₎には、他段とは異なり、クロック信号CKに同期しない反転信号SPバーが負論理のセット信号として印加されているので、出力 S_0 のタイミング（立ち上がりやパルス幅など）は、他のSRフリップフロップF1₍₁₎…の出力 S_1 …と異なっている。ところが、上述したように、出力 S_0 は、ダミー信号DUMMYとして後段の回路で使用されない。したがって、出力 S_0 のタイミングが異なっていたとしても、シフトレジスタ11dは、何ら支障なく、所定の時間ずつ、タイミングの異なるタイミング信号 SMP_i …を出力できる。

【0156】さらに、上記構成では、SRフリップフロップF1₍₀₎へ反転信号SPバーが印加され、レベルシフト13が省かれている。したがって、SRフリップ

フロップF1₍₀₎にもレベルシフト13を設ける場合に比べて、レベルシフト13の数を削減できる。

【0157】なお、上記第1ないし第8の実施形態では、レベルシフト（13・14・23～25）が電流駆動型の場合を例にして説明したが、図38に示すように電圧駆動型のレベルシフト41を用いてもよい。当該レベルシフト41のレベルシフト部41aは、入力スイッチング素子として、クロック信号CKに応じて導通／遮断されるN型のMOSトランジスタN81と、クロック信号CKの反転信号CKバーに応じて導通／遮断されるN型のMOSトランジスタN82とを備えている。各トランジスタN81（N82）のドレインには、負荷となるP型のMOSトランジスタP83（P84）を介して駆動電圧 V_{cc} が印加されており、両トランジスタN81・N82のソースは、接地されている。また、上記トランジスタN82・P84の接続点の電位は、レベルシフト41の出力OUTとして出力されると共に、上記トランジスタP83のゲートへ印加される。同様に、上記トランジスタN81・P83の接続点の電位は、レベルシフト41の反転出力OUTバーとして出力されると共に、上記トランジスタP84のゲートへ印加される。

【0158】一方、上記レベルシフト41には、入力開放スイッチ部（スイッチ）41bとして、N型のMOSトランジスタN91・N92が設けられており、レベルシフト41の動作中、上記トランジスタN81のゲートには、トランジスタN91を介してクロック信号CKが印加されると共に、上記トランジスタN82のゲートには、トランジスタN92を介してクロック信号CKの反転信号CKバーが印加される。

【0159】さらに、上記レベルシフト41には、入力安定部41cとして、N型のMOSトランジスタN93およびP型のMOSトランジスタP94が設けられている。これにより、レベルシフト41の停止中、上記トランジスタN81のゲートは、トランジスタN93を介して接地され、上記トランジスタN82のゲートには、トランジスタP94を介して駆動電圧 V_{cc} が印加される。なお、上記入力安定部41cは、特許請求の範囲に記載の出力安定手段に対応し、上記両トランジスタN81・N82への入力電圧を制御して、出力を安定させる。ここで、レベルシフト41は、電圧駆動型であり、出力OUTを変化する場合にのみ電力を消費するので、レベルシフト41の停止時に、入力電圧で出力電圧を制御しても電力消費が発生しない。

【0160】本実施形態では、制御信号ENAがハイレベルの場合、レベルシフト41の動作を示しているのので、上記トランジスタN91・N92・P94のゲートには、制御信号ENAが印加され、トランジスタN93には、制御信号ENAがインバータINV91にて反転された後、印加されている。

【0161】上記構成では、制御信号ENAがハイレベ

ルの場合、トランジスタN91・N92が導通し、トランジスタN81・N82がクロック信号CK、および、その反転信号CKバーに応じて導通／遮断する。これにより、出力OUTは、クロック信号CKがハイレベルの場合、駆動電圧V_{cc}のレベルにまで昇圧され、ローレベルの場合、接地レベルとなる。

【0162】これとは逆に、制御信号ENAがローレベルの場合には、トランジスタN93・P94が導通するので、トランジスタN81が遮断、トランジスタN82が導通する。この結果、出力OUTは接地レベルに保たれ、反転出力OUTバーは、駆動電圧V_{cc}に維持される。また、この状態では、両トランジスタN91・N92が遮断されているので、入力スイッチング素子としてのトランジスタN81（N82）のゲートは、クロック信号CK（CKバー）の伝送線から切り離される。これにより、例えば、図2に示す制御回路5など、クロック信号CK（CKバー）の駆動回路の負荷容量および消費電力を削減できる。

【0163】なお、図38では、レベルシフト13・23と同様、1つの制御信号ENAで動作／停止を制御する場合を例にして説明したが、上記レベルシフト14・24・25と同様に、トランジスタN91～P94・インバータINV91の数を制御信号ENAの数に応じて増加させれば、複数の制御信号ENAで動作／停止を制御できる。

【0164】上記構成のレベルシフト41を用いた場合であっても、レベルシフト41が複数設けられており、クロック出力が不要なレベルシフト41の少なくとも1つが停止するので、単一のレベルシフトがシフトレジスタの全フリップフロップへクロック信号を供給する場合に比べて、各レベルシフトの負荷容量を削減でき、シフトレジスタの消費電力を削減できる。

【0165】ただし、上記第1ないし第8の実施形態に示す電流駆動型のレベルシフト13（14・23～25：以下では、レベルシフト13で代表する）は、動作中、入力スイッチング素子（P11・P12）へ常時電流が流れているので、クロック信号CKの振幅が入力スイッチング素子（トランジスタN81・N82）のしきい値よりも低く、レベルシフト41が動作できない場合であっても、何ら支障なく、クロック信号CKを昇圧できる。また、クロック出力の要否に応じて、レベルシフト13を停止させているので、出力を変化させない場合であっても電力を消費するレベルシフト13が複数設けられているにも拘わらず、消費電力の増大を抑制できる。したがって、電流駆動型のレベルシフト13を用いる方が望ましい。

【0166】なお、上記第3ないし第7の実施形態では、K個のフリップフロップ（F1・F2）毎にレベルシフト（13・14・23～25）を設ける場合を例にして説明したが、シフトレジスタが複数のブロックに分

割され、各ブロック毎にレベルシフトが設けられていれば、各ブロックに含まれるフリップフロップの数が同じでなくても、略同様の効果が得られる。

【0167】さらに、上記各実施形態では、シフトレジスタの適用例として、画像表示装置を例にして説明したが、シフトレジスタの駆動電圧よりも低い振幅のクロック信号CKが与えられる用途であれば、本発明に係るシフトレジスタを広く適用できる。ただし、画像表示装置では、解像度の向上と表示面積の拡大とが強く求められているため、シフトレジスタの段数が多く、かつ、レベルシフトの駆動能力を十分に確保できないことが多い。したがって、画像表示装置の駆動回路に適用した場合は、特に効果的である

【0168】

【発明の効果】本発明に係るシフトレジスタは、以上のように、フリップフロップが少なくとも1つのフリップフロップからなる複数のブロックに分けられ、駆動電圧よりも小さな振幅のクロック信号を昇圧するレベルシフトは、当該各ブロック毎に設けられていると共に、上記複数のレベルシフトのうち、その時点で上記入力パルスの伝送に上記クロック信号の入力を必要としないブロックに対応するレベルシフトの少なくとも1つは停止する構成である。

【0169】当該構成では、シフトレジスタに複数のレベルシフトが設けられているので、各レベルシフトからフリップフロップへの距離を短縮できる。また、複数のレベルシフトのうち、少なくとも1つは、動作を停止している。これらの結果、低電圧のクロック信号入力で作動可能で、かつ、低消費電力なシフトレジスタを実現できるという効果を奏する。

【0170】本発明に係るシフトレジスタは、上記構成において、上記各レベルシフトは、対応するブロック中に、その時点でクロック信号の入力を必要としているフリップフロップが含まれている期間にのみ動作する構成である。

【0171】当該構成によれば、入力パルスの伝送に必要なレベルシフトのみが動作するので、他のレベルシフトが動作する場合に比べて、シフトレジスタの消費電力を大幅に削減できる。

【0172】本発明に係るシフトレジスタは、上記構成において、上記ブロックのうちの特定ブロックに対応する特定レベルシフトは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のセット・リセット・フリップフロップがセットされた後に動作を停止する構成である。

【0173】当該構成によれば、特定レベルシフトは、特定ブロックのセット・リセット・フリップフロップへのクロック信号の入力が不要な場合には、動作を停止する。この結果、フリップフロップがDフリップフロップの場合よりも高速で動作可能なレベルシフトにおいて、

消費電力を削減できるという効果を奏する。

【0174】本発明に係るシフトレジスタは、上記構成において、上記特定ブロック内のセット・リセット・フリップフロップが1つの場合には、上記特定レベルシフタは、上記特定ブロックへのパルス入力開始された時点で動作を開始し、パルス入力が終了した時点で動作を停止する構成である。

【0175】当該構成によれば、前段のフリップフロップの出力自体を用いて、特定レベルシフタの動作/停止を制御できるので、シフトレジスタの構成を簡略化できるという効果を奏する。

【0176】本発明に係るシフトレジスタは、上記構成において、特定ブロック内のフリップフロップが複数の場合、上記特定レベルシフタは、上記特定ブロックへパルス入力されている間、および、当該特定ブロック内の最終段を除くフリップフロップのいずれかがパルス出力している間に動作する構成である。

【0177】当該構成によれば、特定ブロックへの入力および特定ブロック内のフリップフロップの出力に基づいて、特定レベルシフタの動作/停止を制御できるので、簡単に動作速度の速いシフトレジスタを実現できるという効果を奏する。

【0178】本発明に係るシフトレジスタは、上記構成において、特定ブロック内のフリップフロップが複数の場合、上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいる構成である。

【0179】当該構成によれば、特定レベルシフタの動作/停止のトリガとなる2つの信号に基づいて、ラッチ回路の出力が変化し、特定レベルシフタの動作/停止が制御されるので、フリップフロップ数が多い場合でも簡単な回路構成のシフトレジスタを実現できるという効果を奏する。

【0180】本発明に係るシフトレジスタは、上記構成において、特定ブロックがDフリップフロップを含み、特定レベルシフタは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがパルス出力を終了した後に、動作を停止する構成である。

【0181】当該構成によれば、特定レベルシフタは、特定ブロックのDフリップフロップが動作する際に必要な期間に、レベルシフト後のクロック信号を供給し、Dフリップフロップへのクロック信号の入力が不要な場合には、動作を停止するので、互いに異なるパルス幅の入力パルスを伝送可能で、かつ、消費電力の少ないシフトレジスタを実現できるという効果を奏する。

【0182】本発明に係るシフトレジスタは、上記構成において、特定ブロック内に複数のDフリップフロップを含み、特定レベルシフタは、上記特定ブロックへ入力

される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいる構成である。

【0183】当該構成によれば、2つの信号に基づいて、ラッチ回路の出力が変化し、特定レベルシフタの動作/停止が制御されるので、特定ブロック内のフリップフロップ数が多い場合でもシフトレジスタの回路構成を簡略化できるという効果を奏する。

【0184】本発明に係るシフトレジスタは、上記構成において、上記レベルシフタは、動作中、上記クロック信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいる構成である。

【0185】当該構成によれば、電流駆動型のレベルシフタのうち、少なくとも1つが動作を停止するので、クロック信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合でもレベルシフト可能で、かつ、消費電力が少ないシフトレジスタを実現できるという効果を奏する。

【0186】本発明に係るシフトレジスタは、上記構成のシフトレジスタにおいて、上記レベルシフト部へ、上記入力スイッチング素子が遮断するレベルの信号を与えて、当該レベルシフタを停止させる入力信号制御部が設けられている構成である。

【0187】当該構成によれば、入力信号制御部が入力信号のレベルを制御して、入力スイッチング素子を遮断するので、停止中は、動作中に入力スイッチング素子へ流れる電流の分だけ、消費電力を低減できるという効果を奏する。

【0188】本発明に係るシフトレジスタは、上記構成において、上記レベルシフト部への電力供給を停止して、当該レベルシフタを停止させる電力供給制御部を備えている構成である。

【0189】当該構成によれば、各レベルシフト部への電力供給を停止して、当該レベルシフタを停止させるので、停止中、動作中にレベルシフタで消費する電力の分だけ、消費電力を低減できるという効果を奏する。

【0190】本発明に係るシフトレジスタは、上記各構成において、上記レベルシフタは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えている構成である。

【0191】当該構成によれば、レベルシフタが停止している間、当該レベルシフタの出力電圧は、出力安定手段によって所定の値に保たれるので、不定な出力電圧に起因するフリップフロップの誤動作を防止でき、より安定したシフトレジスタを実現できるという効果を奏する。

【0192】本発明に係るシフトレジスタは、上記各構成において、上記レベルシフト部とクロック信号の伝送線との間に、当該レベルシフタが停止している間、開放されるスイッチが設けられている構成である。

【0193】当該構成では、クロック信号線へ接続される入力スイッチング素子は、動作中のレベルシフタのものに限定されるので、クロック信号線の負荷容量を削減でき、クロック信号線を駆動する回路の消費電力を削減できるという効果を奏する。

【0194】本発明に係る画像表示装置は、以上のように、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上述のいずれかの構成のシフトレジスタを備えている構成である。

【0195】当該構成によれば、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方に、上記各構成のシフトレジスタを備えているので、消費電力が低い画像表示装置を実現できるという効果を奏する。

【0196】本発明に係る画像表示装置は、上記構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されている構成である。

【0197】当該構成によれば、データ信号線の数および走査信号線の数が増加しても、基板外に出す信号線の数が増加しないので、各信号線の容量の不所望な増大を防止できると共に、集積度の低下を防止できるという効果を奏する。

【0198】本発明に係る画像表示装置は、上記構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる構成である。

【0199】当該構成では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、いずれも、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいるので、消費電力が少なく、かつ、表示面積の広い画像表示装置を実現できるという効果を奏する。

【0200】本発明に係る画像表示装置は、上記構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいる構成である。

【0201】当該構成によれば、通常のガラス基板（歪み点が600度以下のガラス基板）を使用しても、歪み点以上のプロセスに起因するソリやタワミが発生しないので、実装がさらに容易で、より表示面積の広い画像表示装置を実現できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すものであり、セット・リセット・フリップフロップを含んで構成されるシフトレジスタの要部構成を示すブロック図である。

【図2】上記シフトレジスタを用いた画像表示装置の要部構成を示すブロック図である。

【図3】上記画像表示装置において、画素の構成例を示す回路図である。

【図4】上記シフトレジスタの動作を示すタイミングチャートである。

ャートである。

【図5】上記シフトレジスタで用いられるセット・リセット・フリップフロップの構成例を示す回路図である。

【図6】上記セット・リセット・フリップフロップの動作を示すタイミングチャートである。

【図7】上記シフトレジスタにおいて、レベルシフタの構成例を示す回路図である。

【図8】本発明の他の実施形態を示すものであり、Dフリップフロップを含んで構成されるシフトレジスタの要部構成を示すブロック図である。

【図9】上記シフトレジスタの動作を示すタイミングチャートである。

【図10】上記Dフリップフロップの構成例を示す回路図である。

【図11】上記Dフリップフロップの動作を示すタイミングチャートである。

【図12】上記シフトレジスタで用いられるOR回路の構成例を示す回路図である。

【図13】上記シフトレジスタの変形例を示すブロック図である。

【図14】上記シフトレジスタにおいて、レベルシフタの構成例を示す回路図である。

【図15】本発明のさらに他の実施形態を示すものであり、複数のセット・リセット・フリップフロップ毎にレベルシフタが設けられたシフトレジスタを示すブロック図である。

【図16】上記シフトレジスタで用いられるOR回路の構成例を示す回路図である。

【図17】上記シフトレジスタの動作を示すタイミングチャートである。

【図18】上記シフトレジスタの変形例を示すブロック図である。

【図19】上記シフトレジスタにおいて、レベルシフタの構成例を示す回路図である。

【図20】本発明のまた別の実施形態を示すものであり、複数のDフリップフロップ毎にレベルシフタが設けられたシフトレジスタを示すブロック図である。

【図21】上記シフトレジスタで用いられるOR回路の構成例を示す回路図である。

【図22】上記シフトレジスタの動作を示すタイミングチャートである。

【図23】上記シフトレジスタの変形例を示すブロック図である。

【図24】上記シフトレジスタにおいて、レベルシフタの構成例を示す回路図である。

【図25】本発明のさらに他の実施形態を示すものであり、レベルシフタの動作を制御するためのラッチ回路と、セット・リセット・フリップフロップとを含むシフトレジスタを示すブロック図である。

【図26】上記ラッチ回路の構成例を示すブロック図で

ある。

【図 27】上記シフトレジスタの動作を示すタイミングチャートである。

【図 28】上記ラッチ回路の他の構成例を示すブロック図である。

【図 29】上記ラッチ回路の動作を示すタイミングチャートである。

【図 30】本発明のまた別の実施形態を示すものであり、上記ラッチ回路と、Dフリップフロップとを含むシフトレジスタを示すブロック図である。

【図 31】上記ラッチ回路の構成例を示すブロック図である。

【図 32】上記シフトレジスタの動作を示すタイミングチャートである。

【図 33】上記ラッチ回路の他の構成例を示すブロック図である。

【図 34】上記ラッチ回路の動作を示すタイミングチャートである。

【図 35】本発明のさらに他の実施形態を示すものであり、各ブロックのレベルシフタが当該ブロック内のDフリップフロップに選択的にクロック信号を供給する場合に設けられるクロック信号制御回路を示す回路図である。

【図 36】本発明のまた別の実施形態を示すものであり、シフトレジスタの要部構成を示すブロック図である。

【図 37】上記シフトレジスタの動作を示すタイミングチャートである。

【図 38】本発明の変形例を示すものであり、電圧駆動型のレベルシフタを示す回路図である。

【図 39】従来例を示すものであり、レベルシフタを含

むシフトレジスタを示すブロック図である。

【符号の説明】

1 画像表示装置

3 データ信号線駆動回路

4 走査信号線駆動回路

11・11a～11d・21・21a～21c シフトレジスタ

13・14・23～25・41 レベルシフタ

13a・14a・23a～25a・41a レベルシフ

10 ト部

13b・14b・23b～25b 電力供給制御部

13c・14c・23c～25c 入力制御部（スイッチ）

13d・14d 入力スイッチング素子遮断制御部（入力信号制御部）

13e・14e・23e～25e 出力安定部（出力安定手段）

23d～25d 入力スイッチング素子遮断制御部（入力信号制御部）

20 31～34 ラッチ回路

41b 入力開放スイッチ部（スイッチ）

41c 入力安定部（出力安定手段）

B₁ … ブロック（特定ブロック）

F1₍₁₎ … SRフリップフロップ（フリップフロップ）

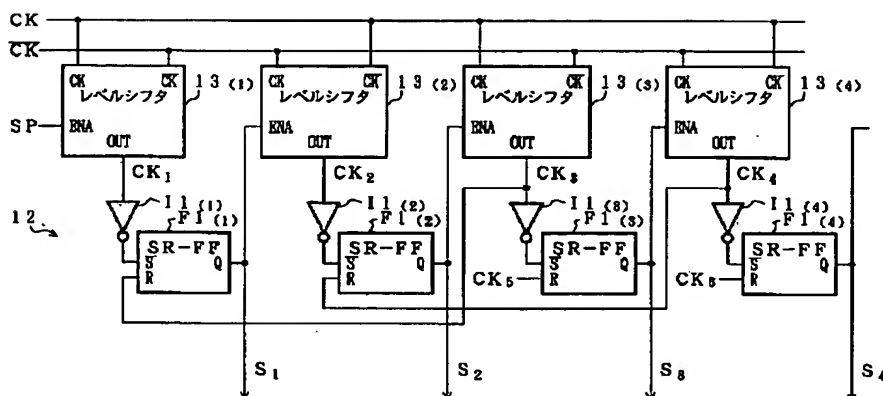
F2₍₁₎ … Dフリップフロップ（フリップフロップ）

P11・P12 トランジスタ（入力スイッチング素子）

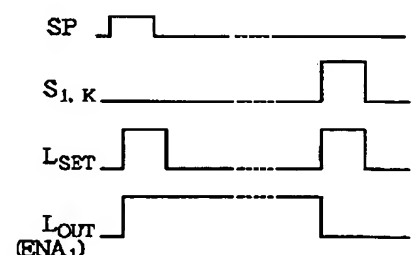
30 PIX

画素

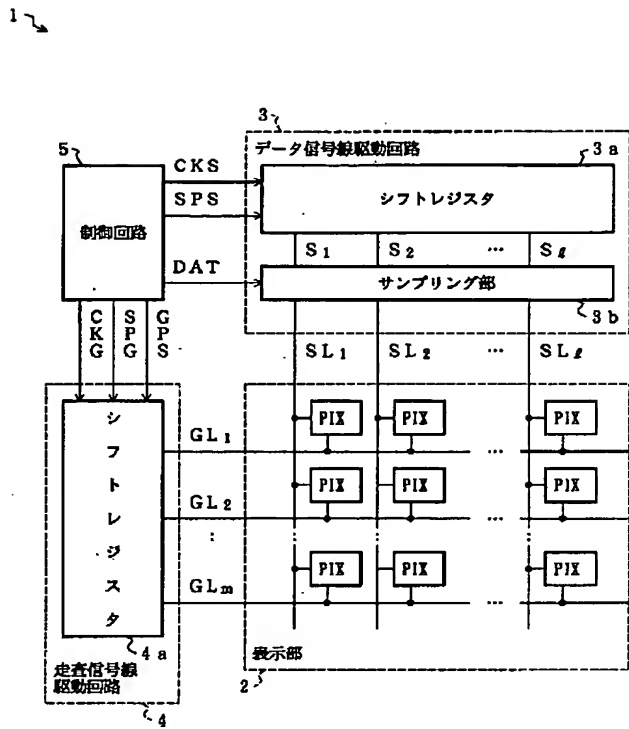
【図 1】



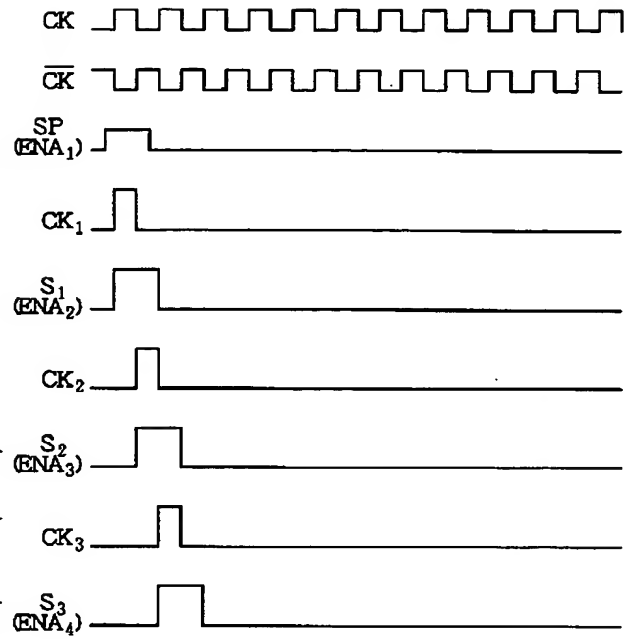
【図 29】



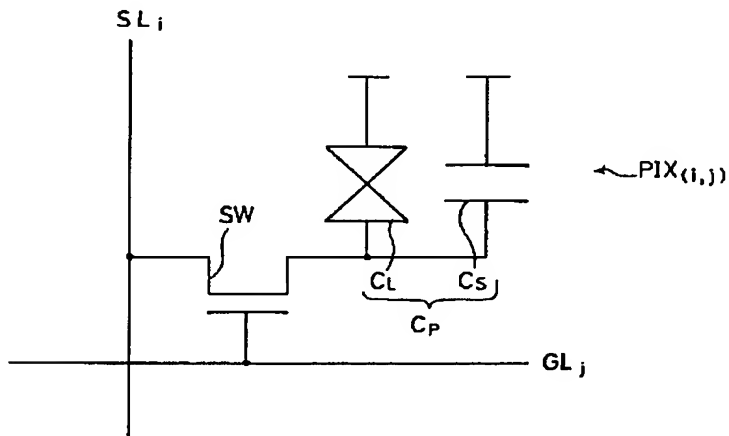
【図 2】



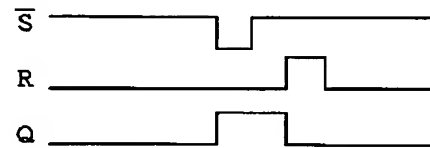
【図 4】



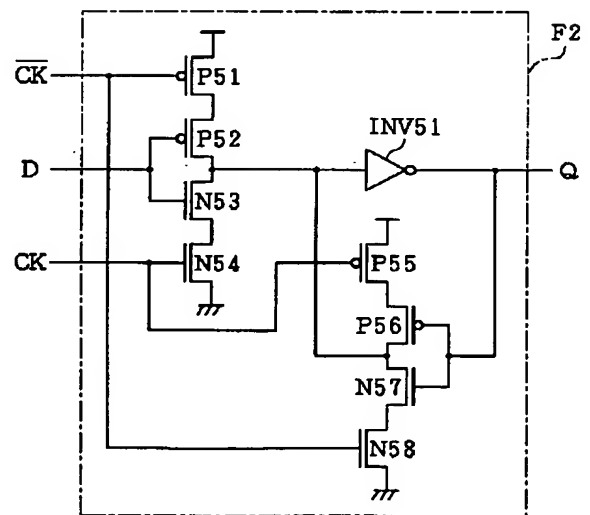
【図 3】



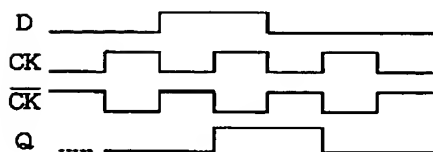
【図 6】



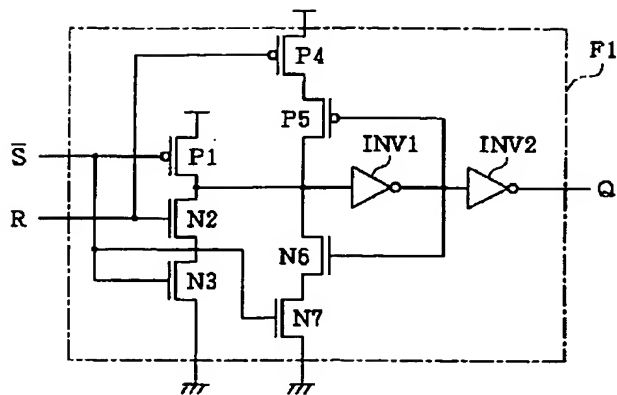
【図 10】



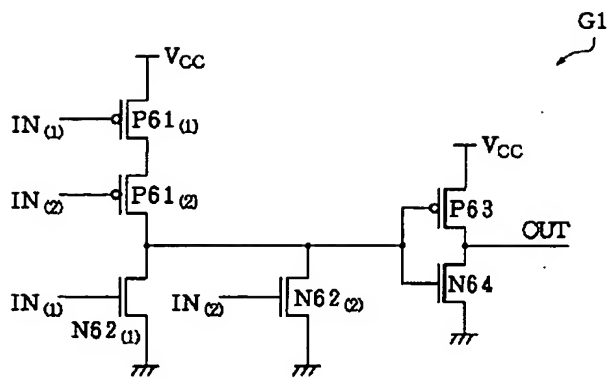
【図 11】



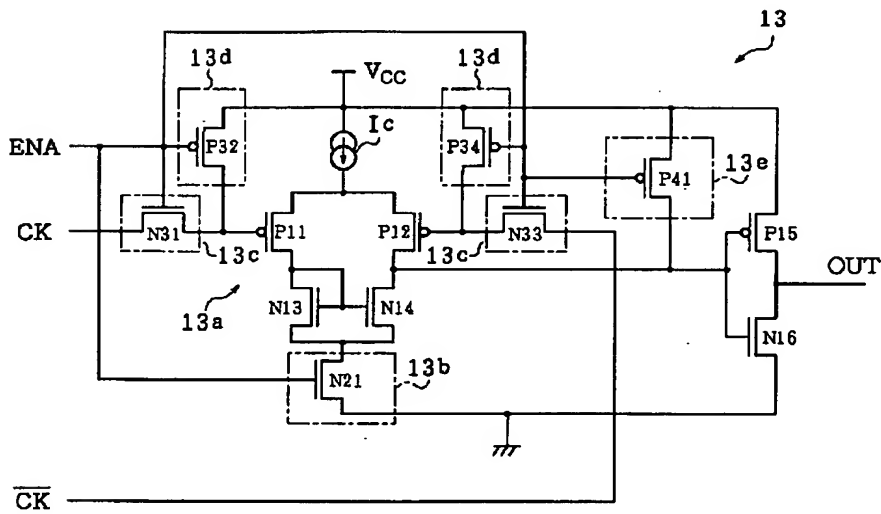
【図 5】



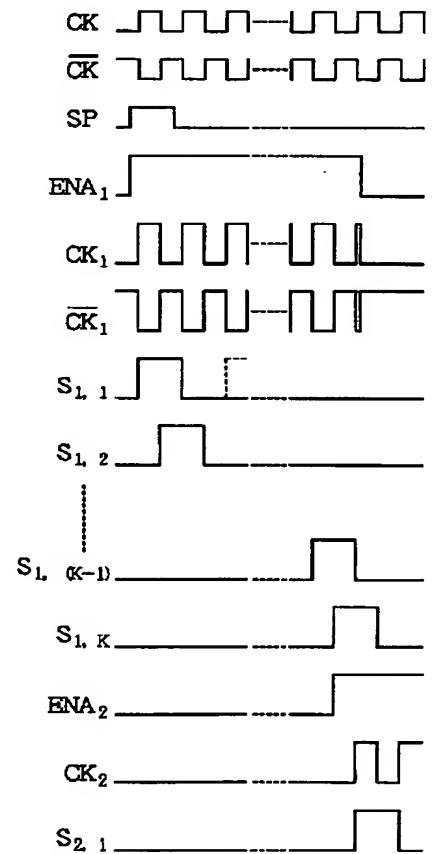
【図 12】



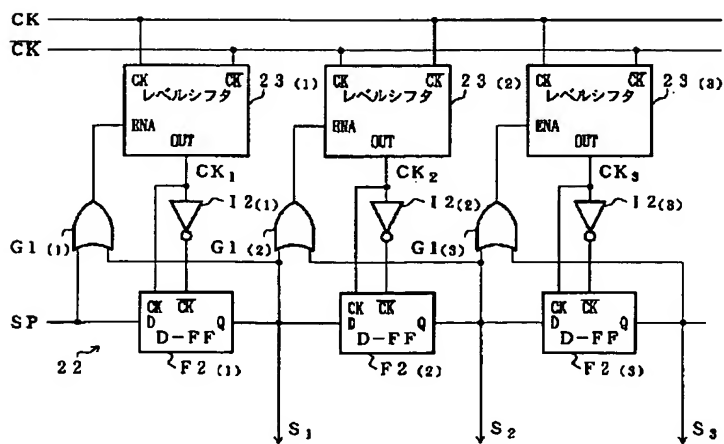
【図 7】



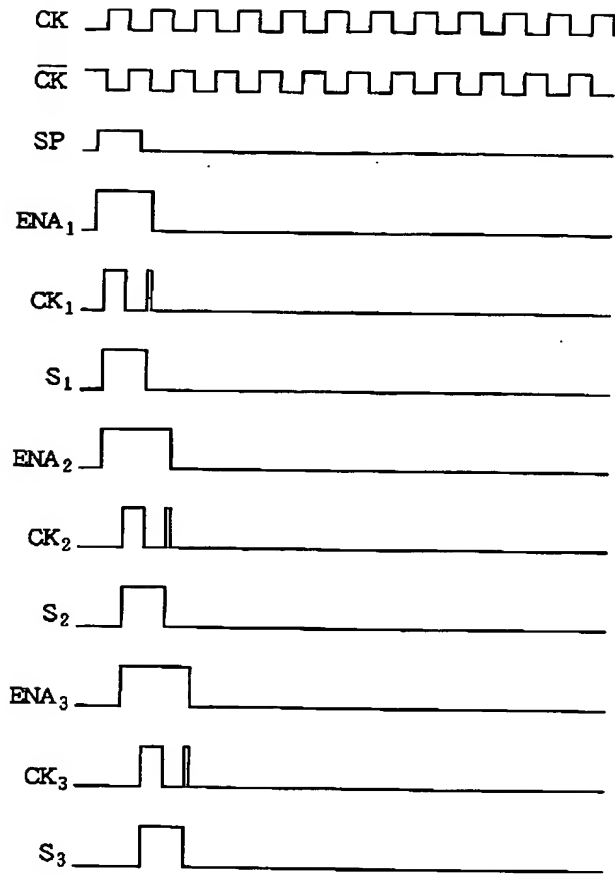
【図 17】



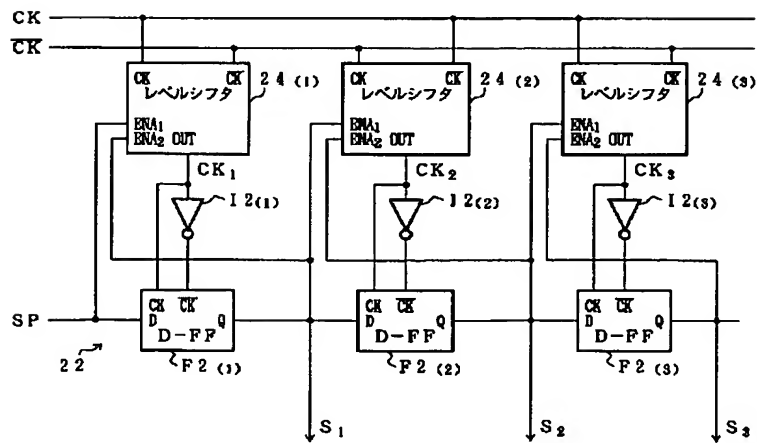
【図 8】



【図 9】

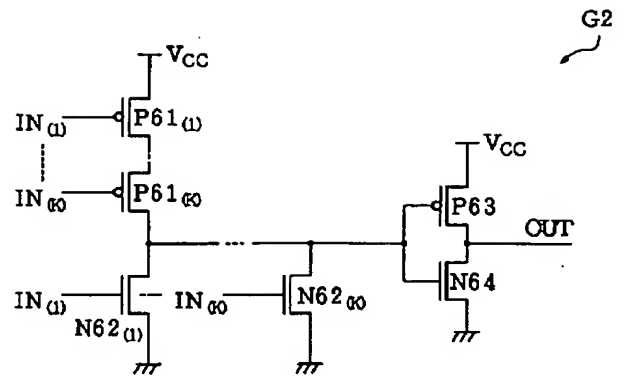


【図 13】

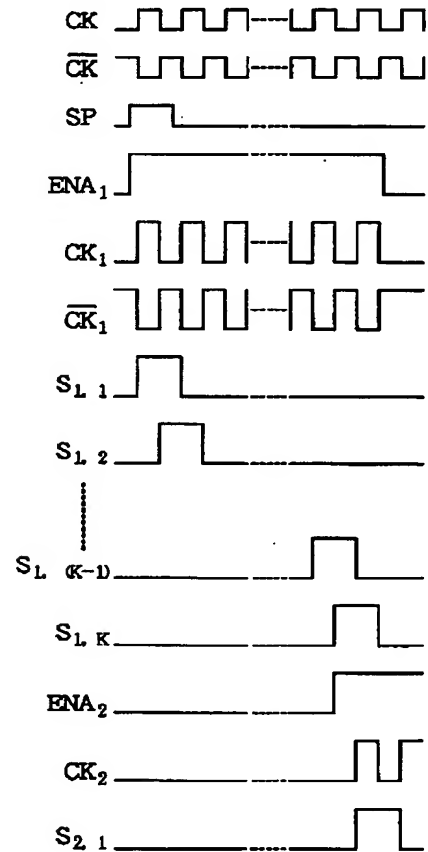


21a

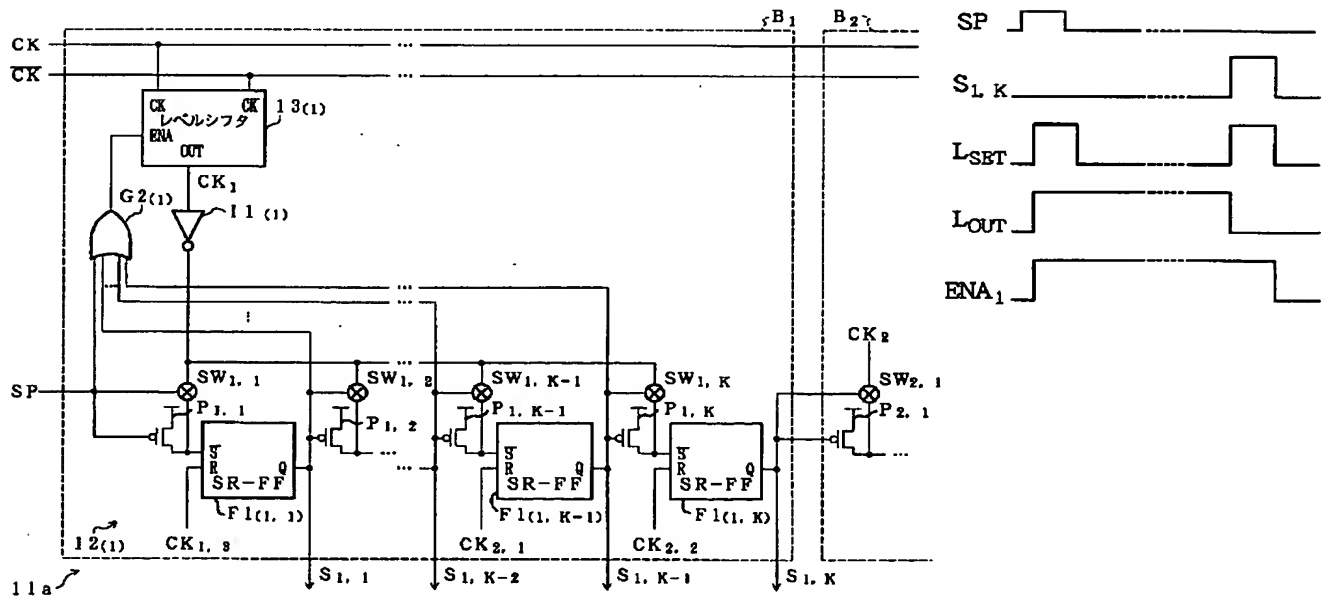
【図 16】



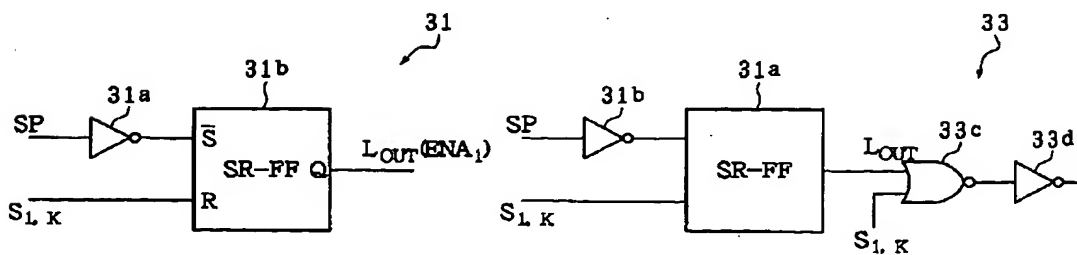
【図 22】



【図 3 4】

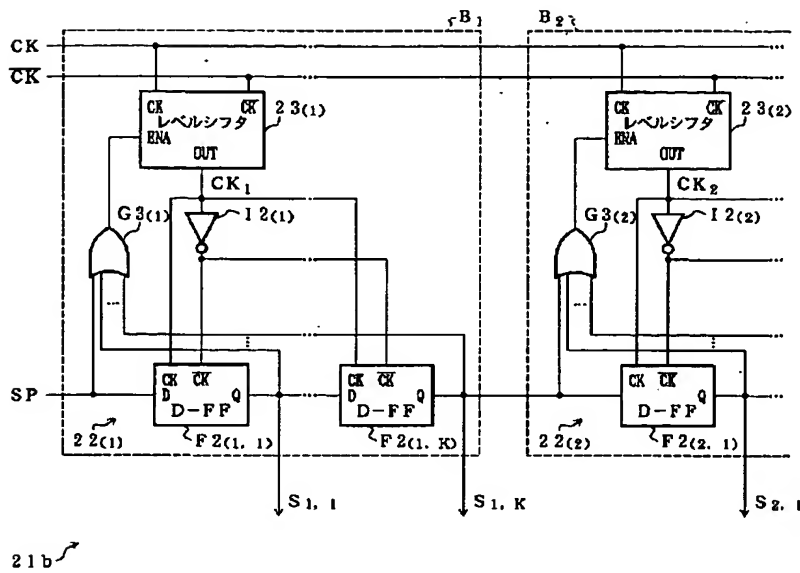


【図 3 1】

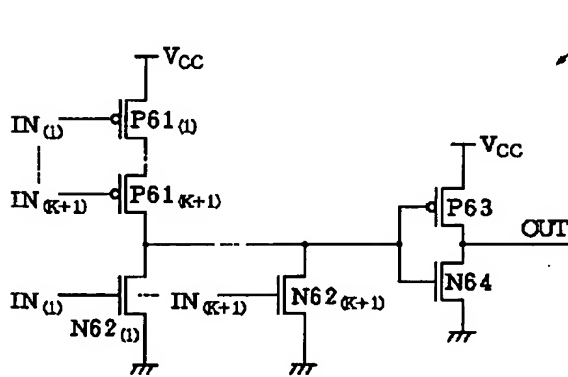


The circuit diagram shows a CMOS circuit with a feedback loop 14. The input CK is connected to the gates of NMOS transistors N31 and N33. The output of the circuit is OUT, which is also the input to the feedback loop 14. The feedback loop 14 consists of several stages: a PMOS transistor P15 and an NMOS transistor N16, followed by a PMOS transistor P41 and an NMOS transistor N21, and finally a PMOS transistor P32 and an NMOS transistor N31. The feedback loop 14 is connected to the output of the circuit through a current source Ic. The circuit is powered by VCC and ground.

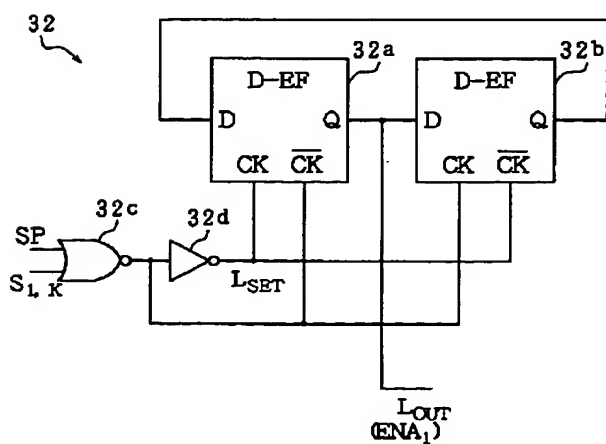
【図 20】



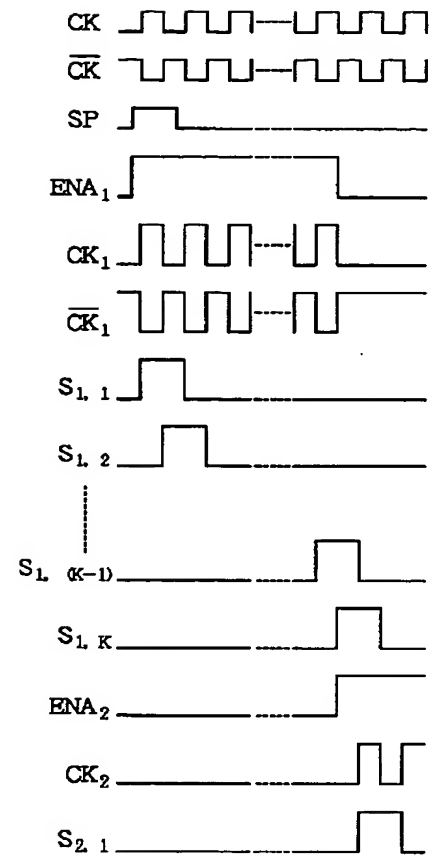
【図 21】



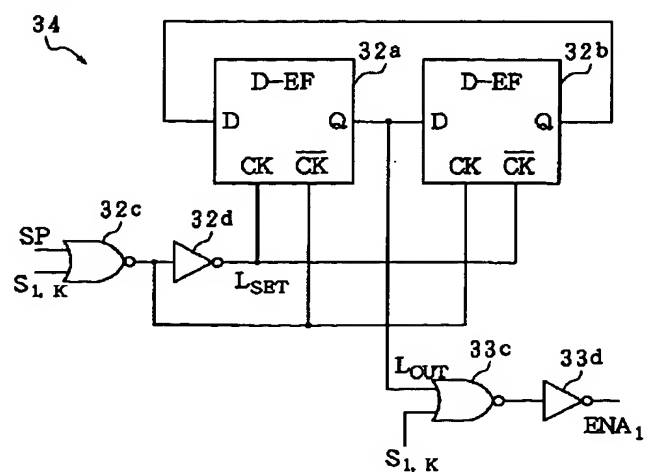
【図 28】



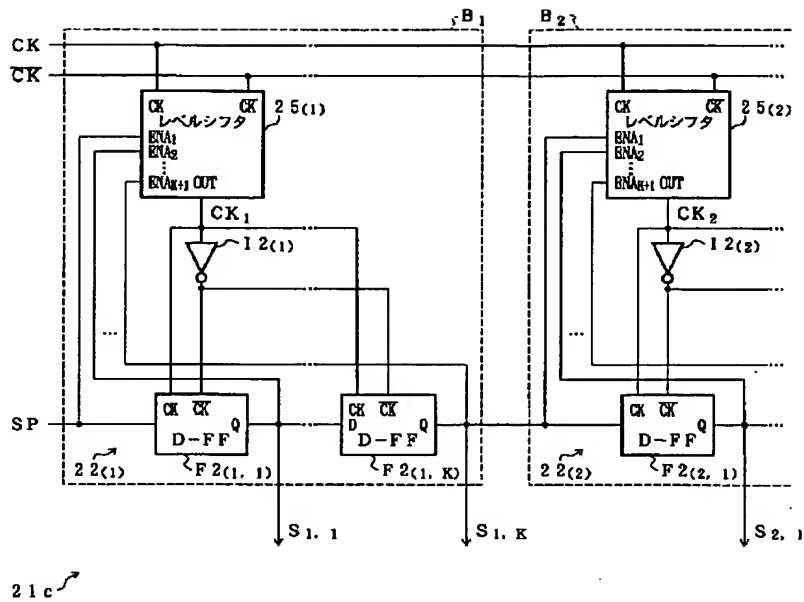
【図 27】



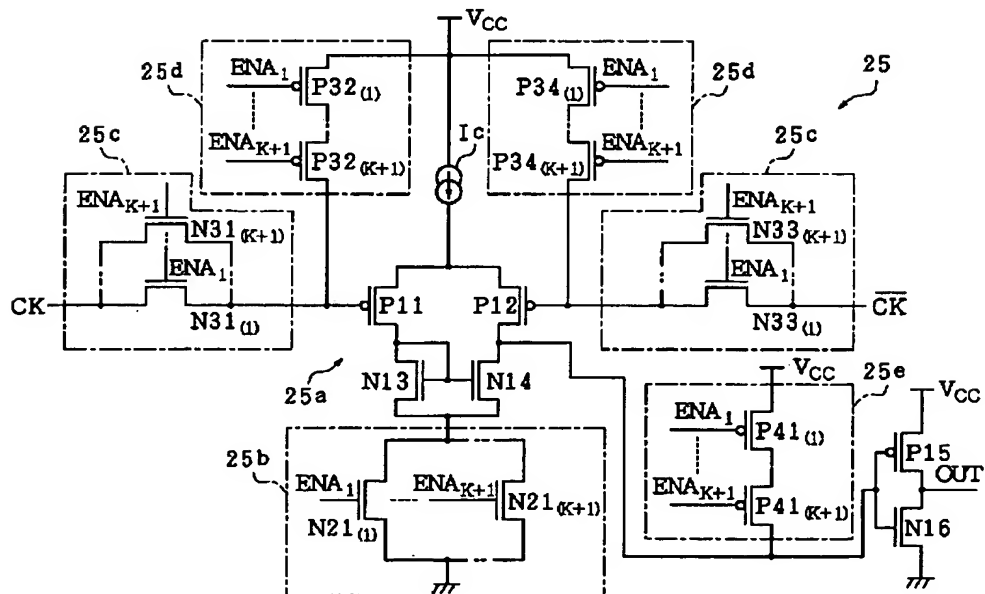
【図 33】



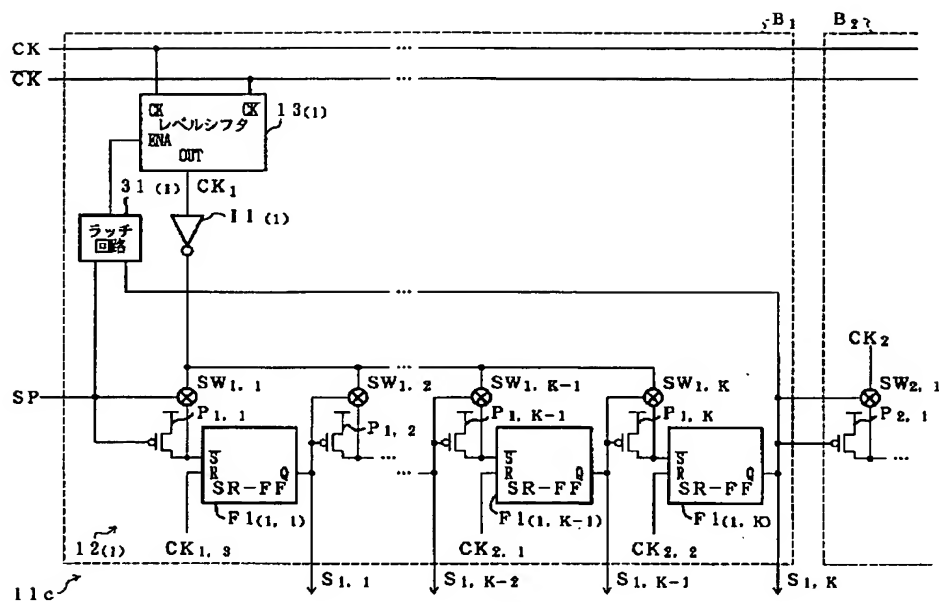
【図 23】



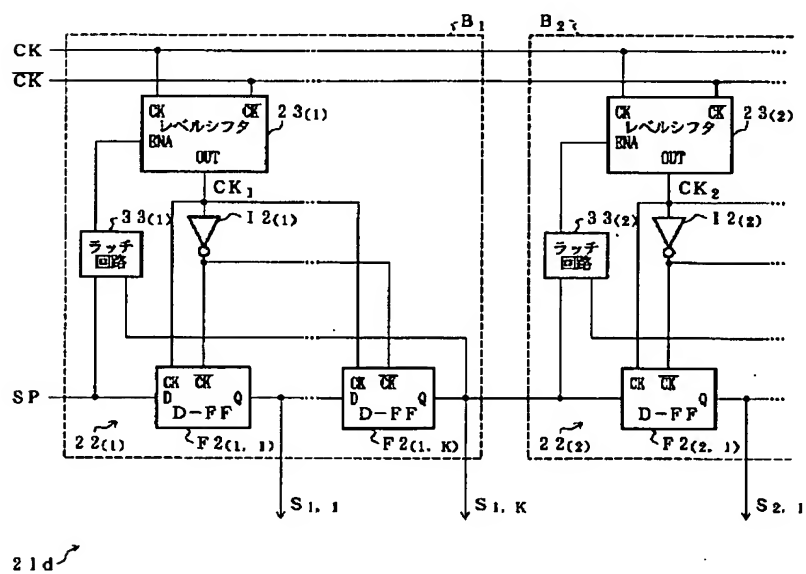
【図 24】



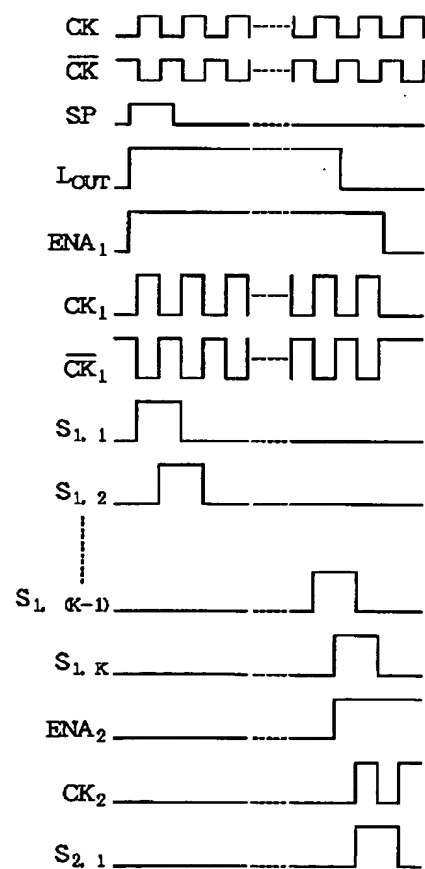
【図 25】



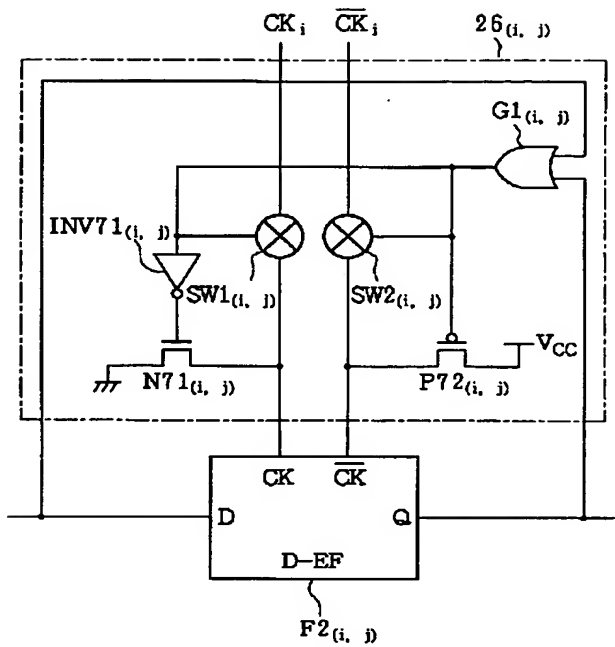
【図 30】



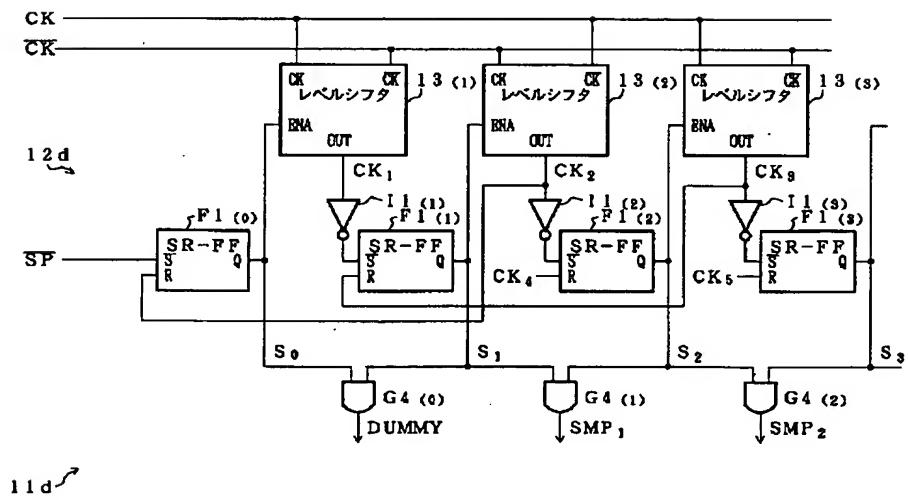
【図 32】



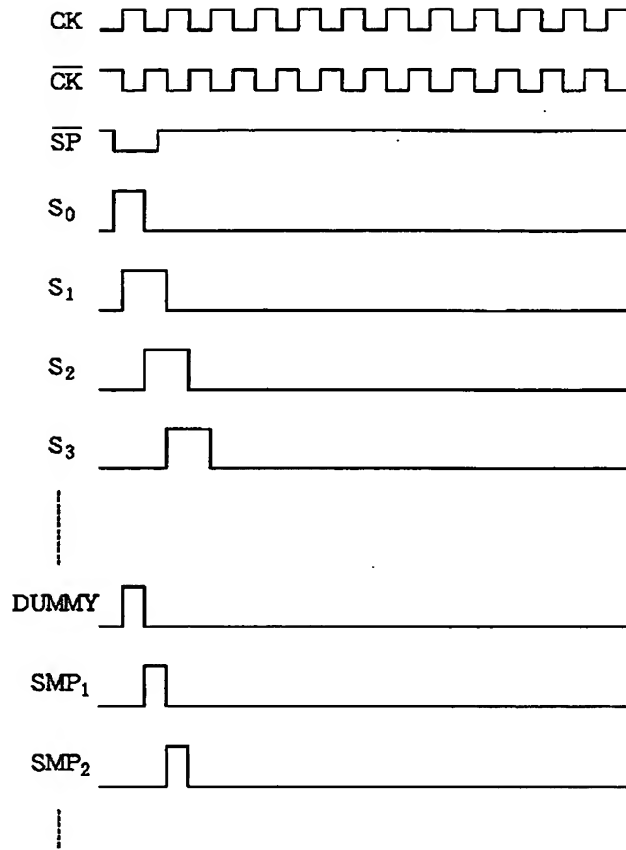
【图 3 5】



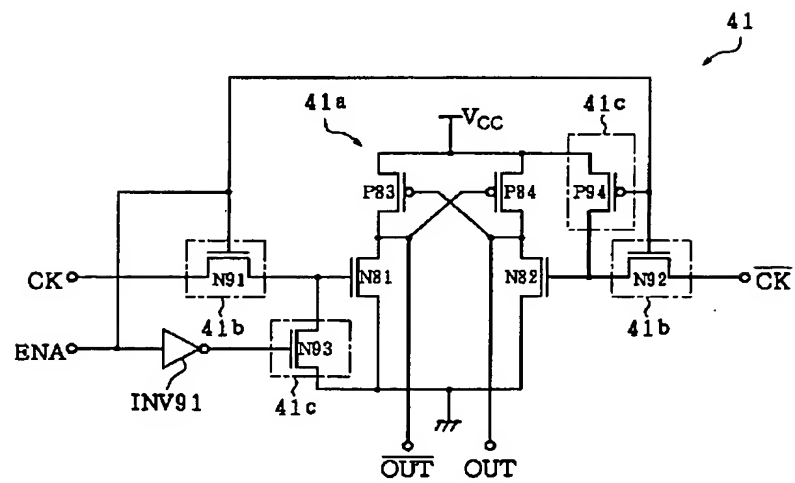
【図 3 6】



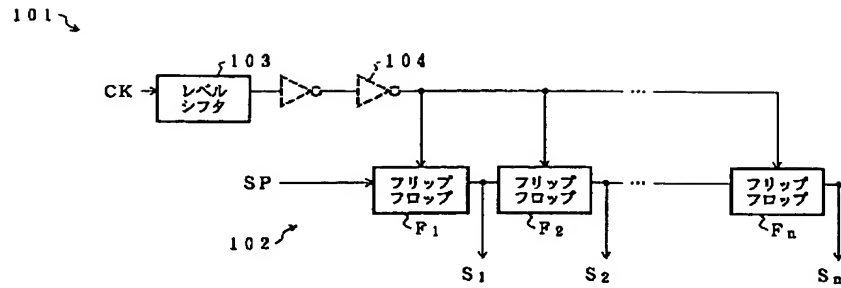
【図 37】



【図 38】



【図 39】



【手続補正書】

【提出日】平成12年3月16日(2000. 3. 16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項7

【補正方法】変更

【補正内容】

【請求項7】上記ブロックのうちの特定ブロックは、上記フリップフロップとして、Dフリップフロップを含んでいると共に、

上記特定ブロックに対応する特定レベルシフタは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがパルス出力を終了した後に、動作を停止することを特徴とする請求項2記載のシフトレジスタ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項9

【補正方法】変更

【補正内容】

【請求項9】上記レベルシフタは、動作中、上記クロック信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいることを特徴とする請求項2、3、4、5、6、7または8記載のシフトレジスタ。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項12

【補正方法】変更

【補正内容】

【請求項12】上記各レベルシフタは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えていることを特徴とする請求項2、3、4、5、6、7、8、9、10または11記載のシフトレジスタ。

フロントページの続き

(72)発明者 前田 和宏
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 海瀬 泰佳
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 マイケル ジェームス ブラウンロー
イギリス国 オーエックス4 4ワイビー
オックスフォード、サンドフォード オ
ン テムズ、チャーチ ロード 124

(72)発明者 グレアム アンドリュウ カーンズ
イギリス国 オーエックス2 8エヌエイ
チ オックスフォード、カッテスロウ、ポ
ー クローズ22

Fターム(参考) 5C080 AA10 BB05 DD24 DD26 EE29
FF12 GG09 JJ02 JJ03 JJ04